

日本国特許庁  
JAPAN PATENT OFFICE

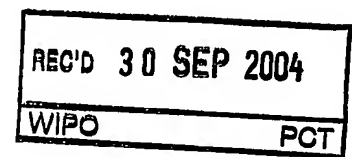
13.08.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月19日  
Date of Application:

出願番号 特願2003-328685  
Application Number:  
[ST. 10/C]: [JP 2003-328685]



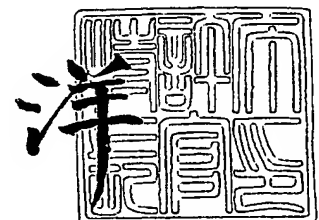
出願人 ソニー株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



Best Available Copy

【書類名】 特許願  
【整理番号】 0390558502  
【提出日】 平成15年 9月19日  
【あて先】 特許庁長官殿  
【国際特許分類】 H02M 7/00  
【発明者】  
    【住所又は居所】 東京都品川区東五反田2丁目20番4号 ソニー・ヒューマンキャピタル株式会社内  
    【氏名】 安村 昌之  
【特許出願人】  
    【識別番号】 000002185  
    【氏名又は名称】 ソニー株式会社  
【代理人】  
    【識別番号】 100086841  
    【弁理士】  
    【氏名又は名称】 脇 篤夫  
【代理人】  
    【識別番号】 100114122  
    【弁理士】  
    【氏名又は名称】 鈴木 伸夫  
【手数料の表示】  
    【予納台帳番号】 014650  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9710074  
    【包括委任状番号】 0007553

**【書類名】 特許請求の範囲****【請求項 1】**

入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、

上記スイッチング素子をスイッチング駆動する駆動手段と、

上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、

上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるものとされ、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されると共に、

上記同期整流回路は、

上記絶縁コンバータトランスの二次巻線をセンタータップすると共に、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第 1 の電界効果トランジスタと、

上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第 2 の電界効果トランジスタと、

上記第 1 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 1 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 1 の駆動回路と、

上記第 2 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 2 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 2 の駆動回路と、を備え、

さらに、上記二次巻線のセンタータップと上記平滑コンデンサの正極端子との間に、金属系ダスト及び／又は Ni-Zn 系フェライト材によるコアの磁脚に対して所要のターン数により巻線が巻装されて、所要以上の飽和磁束密度を有すると共に、所要以下のインダクタンスを有するようにされたチョークコイルを直列に挿入するようにした、

ことを特徴とするスイッチング電源回路。

**【請求項 2】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 3】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線のターン数を設定している、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 4】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記チョークコイルの漏洩インダクタンスが一定以上となるように上記チョークコイルのインダクタンスを設定している、

ことを特徴とする請求項1に記載のスイッチング電源回路。

【請求項5】

上記二次側直流出力電圧のレベルに応じて、上記スイッチング手段のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御手段をさらに備える、

ことを特徴とする請求項1に記載のスイッチング電源回路。

【請求項6】

上記チョークコイルの巻線には、平角線が選定されることを特徴とする請求項1に記載のスイッチング電源回路。

【請求項7】

入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、

上記スイッチング素子をスイッチング駆動する駆動手段と、

上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、

上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるものとされ、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されると共に、

上記同期整流回路は、

上記絶縁コンバータトランスの二次巻線をセンタータップすると共に、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、

上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタと、

上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、

上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路と、を備え、

さらに、上記二次巻線のセンタータップと上記平滑コンデンサの正極端子との間に、 $Mn-Zn$ 系フェライト材によるEE形又はER形コアの磁脚に対して所要ターン数により巻線が巻装されて、所要以上の飽和磁束密度を有すると共に、所要以下のインダクタンスを有するようにされたチョークコイルを直列に挿入するようにした、

ことを特徴とするスイッチング電源回路。

**【請求項 8】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求項 7 に記載のスイッチング電源回路。

**【請求項 9】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線のターン数を設定している、

ことを特徴とする請求項 7 に記載のスイッチング電源回路。

**【請求項 10】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記チョークコイルの漏洩インダクタンスが一定以上となるように上記チョークコイルのインダクタンスを設定している、

ことを特徴とする請求項 7 に記載のスイッチング電源回路。

**【請求項 11】**

上記二次側直流出力電圧のレベルに応じて、上記スイッチング手段のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御手段をさらに備える、

ことを特徴とする請求項 7 に記載のスイッチング電源回路。

**【請求項 12】**

上記チョークコイルの巻線として、複数のリッツ線を平行に整列させて帯状としたリッツ線帯を巻装したことを特徴とする請求項 7 に記載のスイッチング電源回路。

**【請求項 13】**

上記チョークコイルの巻線として、複数のリッツ線を平編みした平編線を巻装したことを特徴とする請求項 7 に記載のスイッチング電源回路。

【書類名】明細書

【発明の名称】スイッチング電源回路

【技術分野】

【0001】

本発明は、各種電子機器の電源として備えられるスイッチング電源回路に関する。

【背景技術】

【0002】

スイッチング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、電力変換効率の向上にも限界があることがわかっている。

そこで、共振形コンバータによるスイッチング電源回路が各種提案され、実用化されている。共振形コンバータは容易に高電力変換効率を得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数により構成することができるというメリットも有している。

【0003】

図19の回路図は、従来としての、共振形コンバータを備えるスイッチング電源回路の一例を示している。この図に示す電源回路は、他励式による電流共振形コンバータに対して部分電圧共振回路が組み合わされている。

【0004】

この図に示す電源回路においては、先ず、商用交流電源ACに対して、ブリッジ整流回路Di及び1本の平滑コンデンサCiから成る全波整流平滑回路が備えられる。そして、これらブリッジ整流回路Di及び平滑コンデンサCiの全波整流動作によって、平滑コンデンサCiの両端には整流平滑電圧Ei（直流入力電圧）が得られることになる。この整流平滑電圧Eiは、交流入力電圧VACの等倍に対応したレベルとなる。

【0005】

上記直流入力電圧を入力してスイッチングする電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレインソース間に対しては、図示する方向により、それぞれボディダイオードによるダンパーダイオードDD1、DD2が並列に接続される。

【0006】

また、スイッチング素子Q2のドレインソース間に対しては、部分共振コンデンサCpが並列に接続される。この部分共振コンデンサCpのキャパシタンスと一次巻線N1のリーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

【0007】

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、例えば汎用のICによる発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路回路を有している。そして、発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン／オフするようにしてスイッチング動作を行う。

【0008】

絶縁コンバータトランスPITはスイッチング素子Q1、Q2のスイッチング出力を二次側に伝送する。この絶縁トランスPITの一次巻線N1の一端は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝

達されるようになっている。

また、一次巻線N1の他端は、一次側アースに接続される。

ここで、上記直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバータトランスPITのリーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

#### 【0009】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路(L1-C1)による電流共振形としての動作と、前述した部分電圧共振回路(Cp//L1)とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わせられた形式を採っていることになる。本明細書では、このようなスイッチングコンバータについて、複合共振形コンバータということにする。

#### 【0010】

ここでの図示による説明は省略するが、絶縁コンバータトランスPITの構造としては、例えばフェライト材によるE型コアを組み合わせたEE型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線N1と、次に説明する二次巻線(N2A, N2B)を、EE型コアの中央磁脚に対して、巻装している。

#### 【0011】

絶縁コンバータトランスPITの二次巻線としては、センタータップが施されたことで2つに分割された二次巻線N2A, N2Bが巻装されている。これらの二次巻線N2A, N2Bには、一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

#### 【0012】

この場合、上記二次巻線N2A, N2Bのセンタータップは二次側アースに対して接続される。そして、この二次巻線N2A, N2Bに対して、図示するようにして整流ダイオードD01, D02、及び平滑コンデンサC0から成る全波整流回路を接続する。これにより、平滑コンデンサC0の両端電圧として二次側直流出力電圧E0が得られる。この二次側直流出力電圧E0は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

#### 【0013】

制御回路1は、二次側直流出力電圧E0のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子Q1, Q2を駆動する。このようにしてスイッチング素子Q1, Q2のスイッチング周波数が可変されることで、二次側直流出力電圧のレベルが安定化されることになる。

#### 【0014】

この図に示す回路構成による電源回路として、低電圧大電流としての負荷条件に対応させた場合の動作波形を、図20に示す。図20に示す動作波形は、交流入力電圧VAC=100V、負荷電力Po=100Wの条件で測定を行って得られたものである。また、ここでの低電圧大電流の状態としては、二次側直流電圧Eo=5Vで、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流Io=25Aとなる状態である。

#### 【0015】

また、図20に示す動作波形による実験結果を得るのにあたっては、次のような条件と、電源回路における部品素子等の選定を行っている。

まず、二次側巻線の1T(ターン)あたりの誘起電圧レベルが、5V/Tとなるようにして、二次巻線N2A, N2B及び一次巻線N1のターン数を設定することとして、具体的には、二次巻線N2A=N2B=1T、一次巻線N1=30Tとしている。

そして、絶縁コンバータトランスPITのEE型コアの中央磁脚に対しては1.0mm程度のギャップを形成するようにしている。これによって、一次巻線N1と二次巻線N2A, N2Bとで、0.85程度の結合係数を得るようにしている。

また、一次側直列共振コンデンサ  $C1 = 0.068 \mu F$ 、部分電圧共振コンデンサ  $Cp = 330 pF$  を選定し、整流ダイオード  $Do1$ 、 $Do2$  には、 $50 A / 40 V$  のショットキーダイオードを選定している。

#### 【0016】

図20に示す波形図において、スイッチング素子  $Q2$  の両端電圧  $V1$  は、スイッチング素子  $Q2$  のオン/オフ状態に対応している。つまり、スイッチング素子  $Q2$  がオンとなる期間  $T2$  では0レベルで、オフとなる期間  $T1$  では所定レベルでクランプされた矩形波となる。そして、スイッチング素子  $Q2$  //ダンパーダイオード  $DD2$  に流れるスイッチング電流  $IDS2$  としては、期間  $T2$  に示されるように、ターンオン時には、ダンパーダイオード  $DD2$  を流れることで負極性となり、これが反転して正極性によりスイッチング素子  $Q2$  のドレイン→ソースを流れ、期間  $T1$  でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子  $Q1$  は、上記スイッチング素子  $Q2$  に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子  $Q1$  //ダンパーダイオード  $DD1$  に流れるスイッチング電流  $IDS1$  は、スイッチング電流  $IDS2$  に対して  $180^\circ$  位相がシフトした波形となっている。

#### 【0017】

そして、スイッチング素子  $Q1$ 、 $Q2$  のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 ( $C1-L1$ ) に流れる一次側直列共振電流  $I_o$  は、スイッチング電流  $IDS1$  とスイッチング電流  $IDS2$  との合成波形に対応する、一次側直列共振回路 ( $C1-L1$ ) の共振電流としての正弦波成分と、一次巻線  $N1$  の励磁インダクタンスにより発生する鋸歯状波成分とが合成された波形となる。

#### 【0018】

そして、このときの測定条件である、負荷電力  $P_o = 100 W$  は、図19に示す電源回路が対応する負荷条件としては、最大に近い重負荷の条件となるのであるが、このようにして対応負荷電力範囲において重負荷の傾向となる条件では、二次側の整流電流は不連続モードとなる。

つまり、二次巻線  $N2A$  に発生する二次巻線電圧  $V2$  は、図20に示すようにして、一次側直列共振電流  $I_o$  が正弦波状で流れる期間のみ、所定の絶対値レベルでクランプされる波形が生じ、その間の一次側直列共振電流  $I_o$  として励磁インダクタンスによる鋸歯状波成分が流れる期間は0レベルとなる。二次巻線  $N2B$  には、二次巻線電圧  $V2$  を反転させた波形が発生する。

このために、整流ダイオード  $Do1$  を流れる整流電流  $I1$  と、整流ダイオード  $Do2$  を流れる整流電流  $I2$  は、それぞれ、一次側直列共振電流  $I_o$  が正弦波状で流れる期間  $Don1$ 、 $Don2$  においてのみ流れ、これ以外の期間においては共に流れない。つまり、二次側の整流電流は不連続で平滑コンデンサに流入している。

#### 【0019】

ショットキーダイオードである整流ダイオード  $Do1$ 、 $Do2$  の順方向電圧降下は  $0.6 V$  であり、上記したような二次側の動作では、図示もしているように、整流電流  $I1$ 、 $I2$  は  $35 A_p$  という相応に高いレベルとなるので、これらの整流ダイオード素子による導通損が顕著となって電力損失が大きくなる。実際の測定結果として、直流入力電圧 (整流平滑電圧  $E_i$ ) =  $100 V$  のときのDC→DC電力変換効率は  $82\%$  程度にとどまる。

#### 【0020】

そこで、二次側における整流電流の導通損を低減する技術として、低オン抵抗のMOS-FETにより整流を行うようにした、同期整流回路が知られている。このような同期整流回路として、巻線電圧検出方式による構成を例を図21に示す。

なお、図21においては、絶縁コンバータトランスPITの二次側の構成のみを示している。一次側の構成は、図19と同様であるものとする。また、定電圧制御方式としても、二次側直流出力電圧  $E_o$  のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御するスイッチング周波数制御方式を採用する。

また、この図21に示す二次側の構成を採用する電源回路としても、図19の場合と同様の



低電圧大電流 ( $VAC=100V$ 、負荷電力  $P_o=100W$ 、 $E_o=5V$ 、 $I_o=25A$ ) の条件に対応するものとされる。

#### 【0021】

この場合にも、二次巻線としては、同じ巻数の二次巻線  $N2A$ 、 $N2B$  の各一端はセンタータップにより接続されるが、このセンタータップ出力は、平滑コンデンサ  $C_o$  の正極端子に接続される。二次巻線  $N2A$  の他端は、 $N$ チャネルの  $MOS-FET Q3$  のドレイン→ソースを介して、二次側アース (平滑コンデンサ  $C_o$  の負極端子側) に接続される。同様に、二次巻線  $N2B$  の他端も、 $N$ チャネルの  $MOS-FET Q4$  のドレイン→ソースを介して、二次側アース (平滑コンデンサ  $C_o$  の負極端子側) に接続される。つまり、この場合には、二次巻線  $N2A$ 、 $N2B$  の各整流電流経路において、 $MOS-FET Q3$ 、 $Q4$  を負極側に直列に挿入した構造となっている。なお、 $MOS-FET Q3$ 、 $Q4$  のドレイン→ソースに対しては、それぞれ、ボディダイオード  $DD3$ 、 $DD4$  が接続される。

#### 【0022】

そして、 $MOS-FET Q3$  を駆動する駆動回路は、二次巻線  $N2B$  と  $MOS-FET Q4$  のドレインとの接続点と  $MOS-FET Q3$  のゲートの間に、ゲート抵抗  $R_{g1}$  を接続すると共に、 $MOS-FET Q3$  のゲートと二次側アースとの間に抵抗  $R_{11}$  を接続して形成される。

同様に、 $MOS-FET Q4$  を駆動する駆動回路は、二次巻線  $N2A$  と  $MOS-FET Q3$  のドレインとの接続点と  $MOS-FET Q4$  のゲートの間に、ゲート抵抗  $R_{g2}$  を接続すると共に、 $MOS-FET Q4$  のゲートと二次側アースとの間に抵抗  $R_{12}$  を接続して形成される。

#### 【0023】

$MOS-FET$  は、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとすれば、平滑コンデンサ  $C_o$  の正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサ  $C_o$  から絶縁コンバータトランス  $PI T$  側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流による  $MOS-FET$  の発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサ  $C_o$  の正極端子に充電する方向にのみ電流が流れるように、 $MOS-FET Q3$ 、 $Q4$  をスイッチング駆動するための回路である。

#### 【0024】

図 22 の波形図は、上記図 21 に示す二次側の構成を採る電源回路 (一次側は図 19 と同様) として、負荷電力  $P_o=100W$  時の動作を示している。前述もしたように、この場合における負荷電力  $P_o=100W$  は、ほぼ最大負荷の条件となる。

この図において、スイッチング素子  $Q2$  の両端電圧  $V1$  と、これに応じた二次巻線  $N2A-N2B$  の両端に得られる二次巻線電圧  $V2$  は、図 20 と同様のタイミングとなっているものである。なお、図 22 に示す二次巻線電圧  $V2$  は、二次巻線  $N2A$  とゲート抵抗  $R_{g2}$  との接続点側からみた場合の極性となっており、二次巻線  $N2B$  とゲート抵抗  $R_{g1}$  との接続点側からみた場合には逆極性となる。

$MOS-FET Q4$  の駆動回路は、この図に示す極性の二次巻線電圧  $V2$  が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q4$  のゲートに対して、ゲート抵抗  $R_{g2}$  と抵抗  $R_{12}$  とにより設定されるレベルのオン電圧を印加するように動作することになる。

同様に、 $MOS-FET Q3$  の駆動回路 (ゲート抵抗  $R_{g1}$ 、抵抗  $R_{11}$ ) は、この図とは反転した極性の二次巻線電圧 ( $V2$ ) が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q3$  のゲートに対してオン電圧を印加するように動作することになる。

#### 【0025】

これにより、MOS-FET Q3, Q4には、それぞれ、図示するようにして、期間DON1, DON2において、正極性の整流電流I1, I2が流れる。図示する二次巻線電圧V2が正／負でクランプされる期間に流れる整流電流I1, I2は、図19の回路の場合（図20の波形図の整流電流I1, I2）と同様に、35Apである。しかしながら、MOS-FET Q3, Q4は低オン抵抗であり、ショットキーダイオードによる整流ダイオードDo1, Do2と比較すれば、整流電流の導通損は著しく低いものとする事ができる。また、駆動回路が抵抗素子のみから成ることからも理解されるように、巻線電圧検出方式は、駆動回路系が簡単な構成であることもメリットとなっている。

#### 【0026】

しかしながら、この図22に対応する場合のような重負荷（負荷電力 $P_o = 100W$ ）とされる条件では、この電源回路も二次側整流電流は不連続モードとなる。これは、図22においても期間DON1, DON2が不連続であることにより示されている。

この不連続モードでは、整流電流I1, I2として、平滑コンデンサCoへの充電電流が0レベルになったとしても、絶縁コンバータトランスPITの一次巻線N1には同じ方向に電流が流れている。これは、先の図20の波形図であれば、期間DON1, DON2以外の期間において、一次側直列共振電流Ioとして、一次巻線N1の励磁インダクタンス成分がその直前タイミングと同じ極性で流れていることにより示されている。このために、実際としては、二次巻線N2A, N2Bに誘起される電圧の極性が反転しないために、その間、MOS-FET Q3, Q4は完全にオフにならずにオン状態を維持する。これにより、図示するようにして、期間DON1, DON2以外では、整流電流I1, I2として逆方向の電流が流れてしまう。この期間DON1, DON2以外における逆方向の整流電流I1, I2は、無効電力を生じさせるが、このときの整流電流I1, I2のレベルは、8Apと比較的高いために、その無効電力量も相応に大きなものとなる。

このように、同期整流回路として巻線電圧検出方式を採用する場合、整流電流の導通損は低減されるものの、上記のようにして無効電力が発生するために、全体として電力変換効率の有効な向上は図ることが難しいというのが現状である。

#### 【0027】

図23の波形図は、図21に示した二次側の構成を採用する電源回路についての軽負荷とされる条件での動作を示している。

図21に示す電源回路の実際としても、先に図19に示した電源回路の構成として説明したようにスイッチング周波数制御による定電圧制御を行うが、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

そして、このような軽負荷の状態では、図23に示すスイッチング素子Q2の両端電圧V1に対して、二次側巻線電圧V2はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流I1, I2としては、期間DON1, DON2との間に休止期間が無く平滑コンデンサCoに連続して充電されるようにして流れる。つまり、連続モードとなる。このときには、上記図25の重負荷時の動作として示したような逆方向の整流電流I1, I2が流れる期間は存在しなくなって、これに応じた無効電力も生じていない。

このように、二次側整流回路系を巻線電圧検出方式による同期整流回路に置き換えた構成の電源回路も、重負荷時における電力変換効率の低下が依然として問題となる。

#### 【0028】

そこで、上記図22に示されるような、逆方向の整流電流による無効電力の発生の問題を解消する技術としては、整流電流検出方式による同期整流回路が知られている。この整流電流検出方式は、平滑コンデンサCoに充電される整流電流が0レベルになる前にMOS-FETをオフさせる技術である。

この整流電流検出方式による同期整流回路の構成例を、図24に示す。なお、この図においては、説明を簡単なものとするために、半波整流による構成を示している。

#### 【0029】

整流電流検出方式としては、二次巻線N2に流れる電流を検出するためにカレントトラ

ンスTRを設ける。カレントトランスの一次巻線Naは、二次巻線N2の端部と、MOS-FETQ4のドレインと接続される。MOS-FETQ4のソースは、平滑コンデンサCoの負極端子に接続している。

カレントトランスの二次巻線Nbに対しては、抵抗Raが並列に接続されるとともに、相互に順電圧方向が逆となるようにして、ダイオードDa、Dbが並列に接続されて並列接続回路を形成する。また、この並列接続回路に対して、コンパレータ20が接続される。コンパレータ20の反転入力には、基準電圧Vrefが入力される。なお、基準電圧Vrefとコンパレータ20の反転入力との接続点には、上記並列接続回路においてダイオードDaのアノードとダイオードDbのカソードが接続されている側の端部と接続される。また、コンパレータ20の非反転入力には、上記並列接続回路においてダイオードDaのカソードとダイオードDbのアノードが接続されている側の端部が接続される。

この場合、コンパレータ20の出力は、バッファ21により増幅されてMOS-FETQ4のゲートに印加されるようになっている。

#### 【0030】

上記図24に示す構成による回路の動作を、図25に示す。

二次巻線N2に誘起される電圧が、平滑コンデンサCoの両端電圧(Eo)よりも大きくなると、まず、MOS-FETQ4のボディダイオードのアノード→カソードの方向により、平滑コンデンサCoへ充電するようにして整流電流Idが流れ始める。この整流電流Idは、カレントトランスの一次巻線Naに流れるので、カレントトランスの二次巻線Nbには、一次巻線Naに流れる整流電流Idに応じた電圧Vnbが誘起される。コンパレータ20では、基準電圧Vrefと電圧Vnbとを比較して、電圧Vnbが基準電圧Vrefを越えるとHレベルを出力する。このHレベルの出力がバッファ21からオン電圧としてMOS-FETQ4のゲートに対して印加され、MOS-FETQ4をオンさせる。これにより、整流電流IdがMOS-FETQ4のドレイン→ソース方向により流れることになる。図25では、正極性により流れる整流電流Idとして示されている。

#### 【0031】

そして時間経過に応じて整流電流Idのレベルが低下し、これに応じて、電圧Vnbが基準電圧Vrefよりも低くなると、コンパレータ20は出力を反転させる。この反転出力がバッファ21を介して出力されることで、MOS-FETQ4のゲート容量を放電させて、MOS-FETQ4をオフとする。なお、この時点で、残りの整流電流IdはボディダイオードDD4を経由して短時間のうちに流れる。

#### 【0032】

このような動作とされることで、MOS-FETQ4は、整流電流Idが0レベルとなる前のタイミングでオフされることになる。これにより、図22に示したように、整流電流が不連続となる期間において、MOS-FETに逆方向電流が流れることが無くなって無効電力が生じなくなり、その分の電力変換効率は高くなる。

例えば、図19に示した電源回路の二次側の構成を、上記図24に示した構成に基づく、全波整流の整流電流検出方式による同期整流回路とした場合のDC→DC電力変換効率としては、先の図20、図22などと同様の条件の下で測定したところ、90%程度にまで向上するという測定結果が得られた。

#### 【0033】

【特許文献1】特開2003-111401号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0034】

しかしながら、上記した整流電流検出方式の同期整流回路では、図24からも分かるように、1つのMOS-FETに対応して、少なくとも1組のカレントトランスと、このカレントトランスの出力によりMOS-FETを駆動するための比較的複雑な駆動回路系が必要となる。これにより、回路構成が複雑になり、これが製造能率の低下、コストアップ、回路基板サイズの拡大などにつながるという不都合が生じることになる。

特に、図24に示した一次側のスイッチングコンバータの構成を基本として整流電流検出方式の同期整流回路を二次側に備えることとした場合、二次側には全波整流回路を備える必要がある。従って、上記したカレントトランス及び駆動回路系は、MOS-FET Q3, Q4ごとに対応して2組必要とされることになり、上記した問題がさらに大きくなる。

このようにして、巻線電圧検出方式と整流電流検出方式とでは、巻線電圧検出方式のほうが、無効電力により電力変換効率の面で不利ではあるが、回路構成が簡略であるのに対して、整流電流検出方式のほうは、無効電力が生じないので電力変換効率の面では有利であるが、回路構成が複雑になる、というトレードオフの関係にある。

従って、同期整流回路を備える電源回路としては、できるだけ簡略な回路構成でありながら、かつ、無効電力による損失増加が解消されるような構成を採ることが求められている、ということになる。

【課題を解決するための手段】

【0035】

そこで、本発明では以上のような問題点を鑑み、スイッチング電源回路として以下のよう構成することとした。

すなわち、まず、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、上記スイッチング素子をスイッチング駆動する駆動手段と、上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスとを備える。

そして、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路を備え、さらに上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるようにする。

そして、このような構成において、まずは、上記絶縁コンバータトランスの磁束密度を、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定する。

さらに、上記同期整流回路としては、上記絶縁コンバータトランスの二次巻線をセンタータップすると共に、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタとを備える。

そして、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、さらに上記二次巻線のセンタータップと上記二次側平滑コンデンサの正極端子との間に、金属系ダスト及び／又はNi-Zn系フェライト材によるコアの磁脚に対して所要のターン数により巻線が巻装されて、所要以上の飽和磁束密度を有すると共に、所

要以下のインダクタンスを有するようにされたチョークコイルを直列に挿入するようにした。

#### 【0036】

また、本発明では、スイッチング電源回路として以下のようにも構成することとした。

つまり、先ず、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、上記スイッチング素子をスイッチング駆動する駆動手段とを備える。

そして、上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と、二次側に巻装される二次巻線部と、この二次巻線部の一方の端部を巻き上げて形成される第1の駆動巻線部と、上記二次巻線部の他方の端部を巻き上げて形成される第2の駆動巻線部とが巻装される絶縁コンバータトランスを備えるようにする。

また、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路とを備えるようにし、

さらに、上記絶縁コンバータトランスの二次巻線部に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路を備えるようにする。

その上で、上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されるようにする。

そして、上記同期整流回路としては、

先ず、上記絶縁コンバータトランスの二次巻線部をセンタータップしたタップ出力を平滑コンデンサの正極端子に接続するとともに、上記二次巻線部のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、上記二次巻線部のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタとを備える。

さらに、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記絶縁コンバータトランスの二次側における上記第1の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記第2の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、さらに上記二次巻線部のセンタータップと上記二次側平滑コンデンサの正極端子との間に、 $Mn-Zn$ 系フェライト材によるEE形又はER形コアの磁脚に対して所要ターン数により巻線が巻装されて、所要以上の飽和磁束密度を有すると共に、所要以下のインダクタンスを有するようにされたチョークコイルを直列に挿入するようにした。

#### 【0037】

上記構成によるスイッチング電源回路において、一次側スイッチングコンバータとしては、共振形コンバータに対して部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採り、二次側においては、巻線電圧検出方式による全波整流の同期整流回路を備える。

そして、絶縁コンバータトランスの磁束密度が所定以下となるようにしていることで、負荷変動にかかわらず、二次側整流電流が常に連続モードとなるようにしている。二次側

整流電流が連続モードとなれば、巻線電圧検出方式による同期整流回路において問題となる、二次側整流電流の不連続期間において整流電流に逆方向電流が生じることに依る無効電力を低減することができる。

その上で、上記のようにして二次巻線のセンタータップと二次側平滑コンデンサとの間には、所要以下のインダクタンスを有するチョークコイルが直列に挿入される。このチョークコイルによっては、そこに整流電流が流れる際の逆起電力により整流電流に生じる逆方向電流が抑圧される。つまり、これによって整流電流に逆方向電流が生じることによる無効電力についての、さらなる低減を図ることができるものである。

また、上記チョークコイルとしては、金属系ダスト、Ni-Zn系フェライト材、又はMn-Zn系フェライト材による、飽和磁束密度の比較的高いコアを用いるようにしていることから、負荷電流レベルの変動によらずそのインダクタンス値が安定するものとなる。

#### 【発明の効果】

##### 【0038】

上記本発明によれば、巻線電圧検出方式の同期整流回路を備えながらも、二次側整流電流の不連続期間に対応した無効電力は生じないこととなり、例えば、整流電流検出方式による同期整流回路を備えた場合と同等程度にまで電力変換効率を向上させることができる。そして、なおかつ、同期整流回路の回路構成自体は巻線電圧検出方式であることで、整流電流検出方式よりも簡易な構成を採ることができる。

つまり、本発明によっては、同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立が図られるものであり、特に、低電圧大電流とされるような条件に電源回路を使用する場合に有利となるものである。

##### 【0039】

また、上記もしたように、二次巻線のセンタータップ平滑コンデンサの間に挿入されるチョークコイルによっては、整流電流に生じる逆方向電流を抑制することができ、これによって無効電力のさらなる低減を図ることができる。

さらに、上述もしたようにこのチョークコイルとしては、飽和磁束密度の比較的高いコア材が用いるようにしたことにより、電流レベル変動によらずそのインダクタンス値が安定して得られるようになる。

そして、このように負荷電流レベルの変動によらずインダクタンス値を安定化できれば、例えば軽負荷の条件となって負荷電流レベルが所要以下に低下した場合に、そのインダクタンスが急激に上昇するようなことは無くなり、例えばこのような軽負荷時においても電源回路として安定した動作を保証することができる。

#### 【発明を実施するための最良の形態】

##### 【0040】

図1は、本発明における、第1の実施の形態としてのスイッチング電源回路を構成する上での、その基となる構成を例示した回路図である。この図に示す電源回路は、一次側の基本構成として、他励式によるハーフブリッジ結合方式による電流共振形コンバータに対して部分電圧共振回路が組み合わされた構成を採る。

##### 【0041】

この図1に示す電源回路においては、先ず、商用交流電源ACに対し、フィルタコンデンサCL、CL、及びコモンモードチョークコイルCMCによるノイズフィルタが形成されている。

そして、このようなノイズフィルタの後段に対しては、図のように整流ダイオードDA、DBから成る整流回路部Diと、2本の平滑コンデンサCi1、Ci2とから成る倍電圧整流回路が備えられる。この倍電圧整流回路によっては、平滑コンデンサCi1-Ci2の両端電圧として、交流入力電圧VACの2倍に対応したレベル整流平滑電圧Ei（直流入力電圧）が生成される。

##### 【0042】



この図に示す電源回路のように、負荷が比較的大きな電流を必要とする条件では、一次側スイッチングコンバータ側の回路に流れる電流レベルも増加する。これにより、スイッチング損失などが増加して電力変換効率が低下する。そこで、このようにして、直流入力電圧を生成する整流回路系について倍電圧整流回路とすることで、例えば通常の全波整流により交流入力電圧  $V_{AC}$  の等倍に対応するレベルの整流平滑電圧  $E_i$  を供給する場合と比較して、一次側スイッチングコンバータの回路内に流れる電流レベルを約  $1/2$  とすることができる。これにより、一次側スイッチングコンバータによるスイッチング損失が低減されるようにしているものである。

#### 【0043】

上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子  $Q_1$ 、 $Q_2$  をハーフブリッジ結合により接続したスイッチング回路を備える。スイッチング素子  $Q_1$ 、 $Q_2$  の各ドレイン-ソース間に対しては、ダンパーダイオード  $DD_1$ 、 $DD_2$  が並列に接続される。ダンパーダイオード  $DD_1$  のアノード、カソードは、それぞれスイッチング素子  $Q_1$  のソース、ドレインと接続される。同様にして、ダンパーダイオード  $DD_2$  のアノード、カソードは、それぞれスイッチング素子  $Q_2$  のソース、ドレインと接続される。ダンパーダイオード  $DD_1$ 、 $DD_2$  は、それぞれスイッチング素子  $Q_1$ 、 $Q_2$  が備えるボディダイオードとされる。

#### 【0044】

また、スイッチング素子  $Q_2$  のドレイン-ソース間に対しては、部分共振コンデンサ  $C_p$  が並列に接続される。この部分共振コンデンサ  $C_p$  のキャパシタンスと一次巻線  $N_1$  のリーケージインダクタンス  $L_1$  によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子  $Q_1$ 、 $Q_2$  のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

#### 【0045】

この電源回路においては、スイッチング素子  $Q_1$ 、 $Q_2$  をスイッチング駆動するために、発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路を有しており、例えば汎用のICを用いることができる。そして、この発振・ドライブ回路2内の発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子  $Q_1$ 、 $Q_2$  の各ゲートに対して印加する。これにより、スイッチング素子  $Q_1$ 、 $Q_2$  は、所要のスイッチング周波数により交互にオン/オフするようにしてスイッチング動作を行う。

#### 【0046】

絶縁コンバータトランス  $PIT$  は、スイッチング素子  $Q_1$ 、 $Q_2$  のスイッチング出力を二次側に伝送するために設けられる。

この絶縁トランス  $PIT$  の一次巻線  $N_1$  の一方の端部は、一次側並列共振コンデンサ  $C_1$  の直列接続を介して、スイッチング素子  $Q_1$  のソースとスイッチング素子  $Q_2$  のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線  $N_1$  の他方の端部は、一次側アースに接続される。

#### 【0047】

ここで、絶縁コンバータトランス  $PIT$  は、後述する構造により、絶縁コンバータトランス  $PIT$  の一次巻線  $N_1$  に所要のリーケージインダクタンス  $L_1$  を生じさせる。そして、直列共振コンデンサ  $C_1$  のキャパシタンスと、上記リーケージインダクタンス  $L_1$  によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

#### 【0048】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（ $L_1-C_1$ ）による電流共振形としての動作と、前述した部分電圧共振回路（ $C_p//L_1$ ）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするため

の共振回路に対して、他の共振回路とが組み合わされた、複合共振形コンバータとしての構成を採っている。

#### 【0049】

絶縁コンバータトランスPITの二次巻線には一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

図1の回路の場合、絶縁コンバータトランスPITの二次巻線としては、図のように、それぞれ上記一次巻線N1と巻方向が同極性とされた二次巻線N2A、二次巻線N2Bが備えられる。

これら二次巻線N2A、N2Bは、それぞれセンタータップが施されたことで、それぞれ図のように2つの巻線部に分割されている。ここでは、二次巻線N2Aの巻き始め端部を含む巻線部を巻線部N2A1とし、巻き終わり端部を含む巻線部は巻線部N2A2としている。また、二次巻線N2Bの巻き始め端部を含む巻線部は巻線部N2B1、巻き終わり端部を含む巻線部は巻線部N2B2とする。

#### 【0050】

この場合の二次巻線N2A、N2Bにおいて、上記巻線部N2A1、N2A2、N2B1、N2B2は、それぞれ同じ所定のターン数を有する。

そして、この二次巻線N2A、N2Bに対しては、整流用素子としてNチャンネルのMOS-FET Q3、Q4を備える全波整流の同期整流回路が備えられる。これらMOS-FET Q3、Q4は、例えば低耐圧のトレンチ構造のものを選定することで、低オン抵抗を得るようにされる。

#### 【0051】

上記二次巻線N2A、N2Bの各センタータップ出力は、図示するように平滑コンデンサC01の正極端子に接続される。

そして、二次巻線N2A、N2Bの各巻き終わり端部は、インダクタLd1→MOS-FET Q3のドレイン→ソースを介して、二次側アース（平滑コンデンサC01の負極端子側）に接続される。

また、二次巻線N2A、N2Bの各巻き始め端部は、インダクタLd2→MOS-FET Q4のドレイン→ソースを介して、二次側アース（平滑コンデンサC01の負極端子側）に接続される。

なお、MOS-FET Q3、Q4のドレイン→ソースに対しては、それぞれ、ボディダイオードDD3、DD4が接続される。

#### 【0052】

このような接続形態によれば、二次巻線N2A、N2Bの巻線部N2A2、巻線部N2B2を含む整流電流経路においては、MOS-FET Q3が直列に挿入される。また、二次巻線N2A、N2Bの巻線部N2A1、巻線部N2B1を含む整流電流経路においては、MOS-FET Q4が直列に挿入された構造となっている。

また、この際、上記巻線部N2A2、巻線部N2B2を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き終わり端部とMOS-FET Q3のドレインとの間に、インダクタLd1が直列に挿入されるものとなる。同様に、上記巻線部N2A1、巻線部N2B1を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き始め端部とMOS-FET Q4のドレインとの間にインダクタLd2が直列に挿入される。

#### 【0053】

また、この図に示される同期整流回路において、MOS-FET Q3を駆動する駆動回路は、二次巻線N2Aの巻き始め端部とMOS-FET Q3のゲートとの間に、ゲート抵抗Rg1を接続して形成される。

同様に、MOS-FET Q4を駆動する駆動回路は、二次巻線N2Bの巻き終わり端部とMOS-FET Q4のゲートとの間に、ゲート抵抗Rg2を接続して形成される。

つまりこの場合、上記MOS-FET Q3は、それぞれ巻線部N2A1、巻線部N2B1に励起される交番電圧が上記ゲート抵抗Rg1により検出されて導通するようにされ、また、MOS-FET Q4は、巻線部N2A2、巻線部N2B2に励起される交番電圧が上記ゲート



抵抗  $R_{g2}$  により検出されて導通するようにされているものである。

【0054】

MOS-FETは、ゲートにオン電圧を印加すると、ドレイン-ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとするれば、二次側平滑コンデンサ（ここでは上記した平滑コンデンサ  $C_{o1}$ 、及び後述する平滑コンデンサ  $C_{o2}$ ）の正極端子に充電する方向のみに電流を流さなければならぬ。これとは逆方向に電流が流れると、二次側平滑コンデンサから絶縁コンバータトランスPIT側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、二次側平滑コンデンサの正極端子に充電する方向（つまり、この場合ではソース→ドレイン方向）の電流のみが流れるように、MOS-FET  $Q3$ 、 $Q4$ をスイッチング駆動するための回路である。つまり、この場合における同期整流回路の回路構成としては、巻線電圧検出方式により、整流電流に同期させてMOS-FET  $Q3$ 、 $Q4$ をオン/オフ駆動する構成を採っているものである。

【0055】

なお、この場合、MOS-FET  $Q3$ 、MOS-FET  $Q4$ の駆動回路系を形成するとされるゲート抵抗  $R_{g1}$ 、 $R_{g2}$ に対しては、それぞれ並列にショットキーダイオード  $D_{g1}$ 、ショットキーダイオード  $D_{g2}$ を図示する方向により接続するようにしている。これらショットキーダイオード  $D_{g1}$ 、 $D_{g2}$ によっては、後述するようにMOS-FET  $Q3$ 、 $Q4$ のゲート入力容量の蓄積電荷を、これらのターンオフ時に放電するための経路が形成される。そして、これによってMOS-FET  $Q3$ 、 $Q4$ を確実にターンオフさせて、良好なスイッチング特性を得るようにしている。

【0056】

また、この場合、MOS-FET  $Q3$ のゲート-ソース間に対しては、図のようにツェナーダイオード  $D_{z1}$ 、ツェナーダイオード  $D_{z2}$ を挿入し、同様にMOS-FET  $Q4$ のゲート-ソース間にはツェナーダイオード  $D_{z3}$ 、ツェナーダイオード  $D_{z4}$ を挿入しているが、これらのツェナーダイオードによってはMOS-FET  $Q3$ 、 $Q4$ についての過電圧保護回路が形成される。

このようなツェナーダイオード  $D_z$ としては、ツェナー電位（ブレイクダウン電位）としてMOS-FET  $Q3$ 、 $Q4$ の耐圧レベルに応じた電位のもが選定される。これにより、MOS-FET  $Q3$ 、 $Q4$ のゲート-ソース間電位が耐圧レベル以上に上昇するのに応じ、これらツェナーダイオード  $D_z$ が導通してMOS-FET  $Q3$ 、 $Q4$ を保護することができると。

例えば、この場合のツェナーダイオード  $D_z$ としては、ツェナー電位 =  $\pm 20V$  のものが選定される。また、例えばこれらツェナーダイオード  $D_{z1}$ 、 $D_{z2}$ 、及びツェナーダイオード  $D_{z3}$ 、 $D_{z4}$ は、それぞれMOS-FET  $Q3$ 、MOS-FET  $Q4$ に対して内蔵されるようにして備えられる。

【0057】

また、上述もしたように、この図1に示す電源回路では、二次巻線  $N2A$ 、 $N2B$ の各巻き終わり端部-MOS-FET  $Q3$ のドレイン間に対し、インダクタ  $L_{d1}$ を挿入している。また、同様に二次巻線  $N2A$ 、 $N2B$ の各巻き始め端部-MOS-FET  $Q4$ のドレイン間に対しては、インダクタ  $L_{d2}$ を挿入している。

この場合において、これらインダクタ  $L_{d1}$ 、 $L_{d2}$ としては、例えば  $0.6 \mu H$  程度の比較的低いインダクタンスを設定するものとしている。

【0058】

ここで、このように低いインダクタンスを得るにあたっては、上記インダクタ  $L_{d1}$ 、 $L_{d2}$ として、次の図3に示すようなビーズコアを用いることとしている。

すなわち、この図3に示されるようにして、例えばアモルファス磁性体若しくはフェラ

イト材等の磁性体が筒形状に形成されたビーズコアによって、リード線を挿通する。そして、このようにリード線を挿通したビーズコアを、1つのインダクタ素子としてプリント基板上に実装するものである。

#### 【0059】

説明を図1に戻す。

上述した回路構成による同期整流回路によっては、二次側平滑コンデンサに対して全波整流により整流して得られる整流電流を充電する動作が得られる。

すなわち、二次側に励起される交番電圧の一方の半周期には、巻線部N2A1、N2B1に流れる電流がそれぞれ二次側平滑コンデンサに対して充電される。また、交番電圧の他方の半周期には、巻線部N2A2、N2B2に流れる電流がそれぞれ二次側平滑コンデンサに対して充電される。これによって、上記交番電圧が正/負の期間で二次側平滑コンデンサに充電する全波整流動作が得られるものである。

そして、このような平滑コンデンサの両端電圧として、図のような二次側直流出力電圧 $E_o$ が得られる。この二次側直流出力電圧 $E_o$ は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

#### 【0060】

制御回路1は、二次側直流出力電圧 $E_o$ のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子Q1、Q2を駆動する。スイッチング素子Q1、Q2のスイッチング周波数が可変されることで、絶縁コンバータトランスPITの一次巻線N1から二次巻線N2A、N2B側に伝送される電力が変化するが、これにより二次側直流出力電圧 $E_o$ のレベルを安定化させるように動作する。

例えば重負荷の傾向となって二次側直流出力電圧 $E_o$ が低下するのに応じては、上記スイッチング周波数を高くするように制御することで、二次側直流出力電圧 $E_o$ を上昇させる。これに対して、軽負荷の傾向となって二次側直流出力電圧 $E_o$ が上昇するのに応じては、上記スイッチング周波数を低くするように制御することで、二次側直流出力電圧 $E_o$ を低下させる。

#### 【0061】

また、この場合のスイッチング電源回路においては、上記二次側直流出力電圧 $E_o$ のラインに対し、上記した平滑コンデンサC<sub>o1</sub>、及び平滑コンデンサC<sub>o2</sub>、及びチョークコイルL<sub>n</sub>によるフィルタ回路が形成される。

このフィルタ回路としては、図示するように平滑コンデンサC<sub>o1</sub>の正極端子に対して、チョークコイルL<sub>n</sub>の一端を接続する。そして、このチョークコイルL<sub>n</sub>の他端に対して、平滑コンデンサC<sub>o2</sub>の正極端子を接続し、さらに平滑コンデンサC<sub>o2</sub>の負極端子を二次側アースに接地して成る。

このような接続形態によれば、平滑コンデンサC<sub>o1</sub>、平滑コンデンサC<sub>o2</sub>の並列接続回路が形成され、さらに、これら平滑コンデンサC<sub>o1</sub>、C<sub>o2</sub>の各正極端子間に対しては、チョークコイルL<sub>n</sub>が挿入されたものとなる。

つまり、この図1に示す回路においては、二次側直流出力電圧 $E_o$ のラインに対し、C、L、Cによる所謂 $\pi$ 型フィルタを設けるようにしているものである。

#### 【0062】

ここで、このように二次側直流出力電圧 $E_o$ のラインに対してフィルタ回路を設けるようにしたのは、以下のような理由による。

先にも説明したように、図1の基本構成においては、MOS-FET Q3、Q4の各ゲートに対し、各々ショットキーダイオードD<sub>g</sub>を接続するものとしていた。これによって、各MOS-FETのターンオフ時にそれぞれのゲート入力容量の蓄積電荷を強制的に引き抜くようにして、MOS-FETの良好なターンオフ特性を得ることが可能とされる。

しかしながら、このようにショットキーダイオードD<sub>g</sub>を設けることによって、MOS-FETとして良好なターンオフ特性を得ることができる一方で、二次側整流電流経路

においてはスイッチングノイズが発生し易いものとされていた。そして、この影響により二次側直流出力電圧  $E_o$  にも高周波のノイズが重畳し易くなっていたものである。

#### 【0063】

そこで図1の回路では、上記したような $\pi$ 型フィルタを備えることによって、このように二次側直流出力電圧  $E_o$  に生じるノイズの抑制を図るようにしたものである。

なお、この場合の上記フィルタ回路においては、上記平滑コンデンサ  $C_{o1}$ 、平滑コンデンサ  $C_{o2}$  として、例えばアミジン系アルミ電解コンデンサで構成し、そのキャパシタンス  $C$  として、例えば  $C = 6800 \mu F$ 、耐圧は  $6.3 V$ 、 $ESR$  (等価直列抵抗値) は  $15 m\Omega$  以下となるものを選定している。

さらに、上記チョークコイル  $L_n$  としては、例えば  $DCR$  (直流抵抗値)  $= 1 m\Omega$  程度、インダクタンス  $L = 0.7 \mu H$  程度に設定している。

これによって、二次側直流出力電圧  $E_o$  に生じる高周波ノイズのピークレベルを、 $100 mV$  以下に抑制している。

#### 【0064】

本実施の形態の基本構成の電源回路としては、これまで説明してきた構成の下で、低電圧、大電流とされる負荷条件に対応させることとしている。ここでの低電圧大電流の状態としては、二次側直流電圧  $E_o = 5 V$  で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流  $I_o = 20 A$  となる状態であるとする。

#### 【0065】

このような条件を前提として、図1に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

まず、絶縁コンバータトランス  $PIT$  については、図2に示す構造を採ることとしている。

この図に示すように、絶縁コンバータトランス  $PIT$  は、フェライト材による  $E$  型コア  $CR1$ 、 $CR2$  を互いの磁脚が対向するように組み合わせた  $EE$  型コア ( $EE$  字形コア) を備える。

そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビン  $B$  が備えられる。このボビン  $B$  の一方の巻装部に対して一次巻線  $N1$  を巻装する。また、他方の巻装部に対して二次巻線 ( $N2A$ ,  $N2B$ ) を巻装する。このようにして一次側巻線及び二次側巻線が巻装されたボビン  $B$  を上記  $EE$  型コア ( $CR1$ ,  $CR2$ ) に取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異なる巻装領域により、 $EE$  型コアの中央磁脚に巻装される状態となる。このようにして絶縁コンバータトランス  $PIT$  全体としての構造が得られる。この場合の  $EE$  型コアとしては、例えば  $EE R-40$  を選定している。

#### 【0066】

$EE$  型コアの中央磁脚に対しては、図のようにして、例えばギャップ長  $1.5 mm$  程度のギャップ  $G$  を形成するようにしている。これによって、結合係数  $k$  としては、例えば  $k = 0.8$  以下による疎結合の状態を得るようにしている。つまり、従来例として図19に示した電源回路の絶縁コンバータトランス  $PIT$  よりも、さらに疎結合の状態としているものである。なお、ギャップ  $G$  は、 $E$  型コア  $CR1$ ,  $CR2$  の中央磁脚を、2本の外磁脚よりも短くすることで形成することが出来る。

#### 【0067】

そのうえで、二次側巻線の  $1 T$  (ターン) あたりの誘起電圧レベルとしても、図19に示した電源回路よりも低くなるように、一次巻線  $N1$  と二次巻線  $N2A$ ,  $N2B$  の巻線数 (ターン数) を設定する。例えば、一次巻線  $N1 = 80 T$ 、二次巻線  $N2A = N2B = 6 T$  (巻線部  $N2A1 = N2A2 = N2B1 = N2B2 = 3 T$ ) とすることで、二次側巻線の  $1 T$  (ターン) あたりの誘起電圧レベルを、 $2 V/T$  以下としている。

#### 【0068】

このような絶縁コンバータトランス  $PIT$  及び一次巻線  $N1$ 、二次巻線 ( $N2A$ ,  $N2B$ ) の巻線数設定とすることで、絶縁コンバータトランス  $PIT$  のコアにおける磁束密度が低

下して、図 19 に示した電源回路よりも、絶縁コンバートランス P I T におけるリーケージインダクタンスは増加する。

#### 【0069】

また、一次側直列共振コンデンサ C1 には、 $0.015 \mu F$  を選定した。また、二次側の同期整流回路を形成する MOS-FET Q3, Q4 については、 $30 A / 20 V$  を選定しており、そのオン抵抗は  $5.0 m\Omega$  以下である。

#### 【0070】

このような構成による図 1 に示す電源回路の動作波形を、図 4 及び図 5 に示す。図 4 は、交流入力電圧  $V_{AC} = 100 V$ 、負荷電力  $P_o = 100 W$  のときの動作を示し、図 5 は、交流入力電圧  $V_{AC} = 100 V$ 、負荷電力  $P_o = 25 W$  時の動作を示している。図 1 に示す電源回路の対応負荷電力範囲において、負荷電力  $P_o = 100 W$  は重負荷とされる条件であり、負荷電力  $P_o = 25 W$  は軽負荷の条件となる。

#### 【0071】

図 4 に示す波形図において、スイッチング素子 Q2 の両端電圧  $V_1$  は、スイッチング素子 Q2 のオン/オフ状態に対応している。つまり、スイッチング素子 Q2 がオンとなる期間 T2 では 0 レベルで、オフとなる期間 T1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q2 // ダンパダイオード DD2 に流れるスイッチング電流  $I_{DS2}$  としては、期間 T2 に示されるように、ターンオン時においては、ダンパダイオード DD2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q2 のドレイン→ソースを流れ、期間 T1 でオフとなって 0 レベルとなる波形が得られる。

また、スイッチング素子 Q1 は、上記スイッチング素子 Q2 に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子 Q1 // ダンパダイオード DD1 に流れるスイッチング電流としても、図示はしていないがスイッチング電流  $I_{DS2}$  に対して  $180^\circ$  位相がシフトした波形となる。また、スイッチング素子 Q1 の両端電圧としても、スイッチング素子 Q2 の両端電圧  $V_1$  に対して  $180^\circ$  位相がシフトした波形となる。

#### 【0072】

そして、スイッチング素子 Q1, Q2 のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 (C1-L1) に流れる一次側直列共振電流  $I_o$  は、スイッチング電流  $I_{DS1}$  とスイッチング電流  $I_{DS2}$  とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流  $I_o$  は正弦波状となる。この波形を、図 19 に示した従来の電源回路の一次側直列共振電流  $I_o$  の波形 (図 20 参照) と比較すると、図 1 の回路の場合の一次側直列共振電流  $I_o$  としては、一次巻線 N1 の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバートランス P I T の結合係数をより疎結合な状態としたことで、一次巻線 N1 のリーケージインダクタンス  $L_1$  が増加した分、相対的に一次巻線 N1 の励磁インダクタンスが小さくなったことに依る。

#### 【0073】

そして、このような一次側直列共振電流  $I_o$  の波形が得られるのに応じて、二次巻線 N2B の巻線部 N2B2 に得られる電圧  $V_2$  としては、一次側直列共振電流  $I_o$  の周期に応じた波形とされ、且つ二次側直流出力電圧  $E_o$  に対応する絶対値レベルでクランプされた波形となる。

なお、この電圧  $V_2$  としては、巻線部 N2B2 に得られる電位として示したが、二次巻線 N2A における巻線部 N2A2 においても同等の波形により電位が生じていることになる。またこの場合、巻線部 N2A1、巻線部 N2B1 においても、この電圧  $V_2$  と同等の電位が生じるものである。

ここで、図 20 に示す電圧  $V_2$  と比較して分かるように、この図 4 に示す電圧  $V_2$  は、一次側直列共振電流  $I_o$  が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。つまり、この場合の電圧  $V_2$  としては、ゼロクロスタイミングが一次側直列共振電流  $I_o$  のゼロクロスタイミングと重なるようになっている (図中時点  $t_1$ 、 $t_2$ 、 $t_3$  参

照)。

#### 【0074】

そして、電圧検出方式による二次側の同期整流回路では、抵抗 $R_{g2}$ から成る駆動回路により上記電圧 $V_2$ （巻線部 $N_{2A2}$ 、 $N_{2B2}$ ）を検出し、 $MOS-FET Q_4$ に対してオンレベルのゲート電圧を出力する。

この場合、電圧 $V_2$ としては、図示するように時点 $t_1$ にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 $t_2$ にて0レベルとなるような波形とされている。 $MOS-FET Q_4$ のゲートソース間に生じるゲートソース間電圧 $V_{GS4}$ は、この電圧 $V_2$ が、 $Q_4$ のゲートソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_1 \sim t_{d1}$ ）において、オン電圧を発生させる。つまり、この期間 $t_1 \sim t_{d1}$ が、 $MOS-FET Q_4$ のオン期間 $DON_2$ となる。

そして、この期間 $DON_2$ が終了する時点 $t_{d1}$ から時点 $t_2$ までは、 $MOS-FET Q_4$ のデットタイムであり、このデットタイムである期間 $t_{d1} \sim t_2$ では $Q_4$ のボディダイオード $DD_4$ を介して整流電流が流れる。このことは、図示するゲートソース間電圧 $V_{GS4}$ における期間 $t_{d1} \sim t_2$ の電位によっても示されている。

これによって、 $MOS-FET Q_4$ を介して流される整流電流 $I_4$ としては、図示するように時点 $t_1 \sim t_2$ の期間にわたって流れるようになる。つまり、この整流電流 $I_4$ としては、これら時点 $t_1$ 、 $t_2$ において、一次側直列共振電流 $I_o$ と0レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

#### 【0075】

また、同様に抵抗 $R_{g1}$ から成る駆動回路では、上記電圧 $V_2$ と同等とされる巻線部 $N_{2A1}$ 、 $N_{2B1}$ に生じる電圧を検出し、 $MOS-FET Q_3$ に対してオンレベルのゲート電圧を出力するようにされる。

つまり、この場合、 $MOS-FET Q_3$ のゲートソース間に生じるゲートソース間電圧 $V_{GS3}$ は、巻線部 $N_{2A1}$ 、 $N_{2B1}$ 側に生じる電圧 $V_2$ がゲートソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_2 \sim t_{d2}$ ）において、オン電圧を発生させ、これによってこの期間 $t_2 \sim t_{d2}$ が $MOS-FET Q_3$ のオン期間 $DON_1$ となる。

そして、同様にこの期間 $DON_1$ が終了する時点 $t_{d2}$ から時点 $t_3$ までは、 $MOS-FET Q_3$ のデットタイムであり、この期間 $t_{d2} \sim t_3$ では $Q_3$ のボディダイオード $DD_3$ を介して整流電流が流れる。

これによって、 $MOS-FET Q_3$ を介して流れる整流電流 $I_3$ としても、図示するように一次側直列共振電流 $I_o$ のゼロクロスタイミングである時点 $t_2$ と時点 $t_3$ との間にわたって流れるようになり、一次側直列共振電流 $I_o$ と連続して流れるものとなる。

#### 【0076】

各平滑コンデンサ（平滑コンデンサ $C_{o1}$ 、 $C_{o2}$ ）への充電電流 $I_c$ としては、これら整流電流 $I_3$ 、 $I_4$ が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 $N_{2A}$ 、 $N_{2B}$ に生じる電圧が正／負となる各期間で平滑コンデンサ $C_o$ に対して充電する、全波整流動作が得られていることがわかる。

そして、前述したように、この場合の二次巻線に生じる電圧 $V_2$ は、一次側直列共振電流 $I_o$ が0レベルとなるのに応じ0レベルとなるから、電圧 $V_2$ は一次側直列共振電流と連続するものとなる。さらに、このように電圧 $V_2$ が連続することによって、上記説明のようにして整流電流 $I_3$ 、整流電流 $I_4$ も連続することになり、従って、平滑コンデンサ $C_o$ に対する充電電流 $I_c$ も連続して流れることになる。

つまり、図1の回路では、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 $I_3$ 、 $I_4$ としては $28A_p$ となっており、例えば従来の図20に示した整流電流 $I_1$ 、 $I_2$ よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

【0077】

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランスPITの結合係数を0.8程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の1ターンあたりの誘起電圧レベルが $2V/T$ 程度に低下するようにして一次巻線N1と二次巻線N2A（巻線部N2A1、N2A2）、二次巻線N2B（巻線部N2B1、N2B2）の巻数（ターン数）設定を行い、これにより、絶縁コンバータトランスPITのコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

【0078】

また、この図4において、この場合の整流電流I3、I4としては、図20に示した従来の整流電流I1、I2と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流I1、I2には $8Ap$ による逆方向電流が流れ、これが電力損失を生じさせていたが、図1の回路ではこのような整流電流に生じていた逆方向電流が発生しないものである。

この場合において、整流電流I3、I4にこのような逆方向電流が発生しないのは、図1に示したようにして、各整流電流経路にインダクタLd1、Ld2を挿入するようにしたことによる。

このように各整流電流経路に対して各インダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOS-FETQ3、Q4のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、図1に示した回路の場合、これらインダクタLd1、Ld2として $0.6\mu H$ 程度を設定し、これによって整流電流I3、I4における逆方向電流の発生を防止することが可能とされる。

【0079】

ここで、従来でも述べたように、同期整流回路は、低オン抵抗で低耐圧のMOS-FETを整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採用する場合、平滑コンデンサCoへの充電電流が0レベルとなっても逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

【0080】

これに対して図1の回路では、重負荷時においても二次側整流電流を連続モードとすることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の整流電流経路に対してインダクタLd1、Ld2をそれぞれ挿入することにより、整流電流に逆方向電流が発生しないようにして無効電力のさらなる低減を図っている。

このことから図1の基本構成としては、同期整流回路として電圧検出方式による構成を採用することで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしてしながら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになるものである。

【0081】

また、図4においては、二次側直流出力電圧Eoに生じるリップル成分 $\Delta E_o$ が示されている。

この場合のリップル成分 $\Delta E_o$ としては、図示するように二次側直流出力電圧Eoの出力レベルである5.Vを中心として、0.05Vの範囲で生じている。また、この図からも



わかるように、この場合の二次側直流出力電圧 $E_o$ としては、MOS-FET Q3、Q4のターンオフ時に対応した期間に生じるノイズ成分が、 $0.1V_p$ のレベルにより発生している。

ここで、この図4では、平滑コンデンサ $C_o1$ の両端電圧 $E1$ のリップル成分 $\Delta E1$ の波形も示されているが、この $\Delta E1$ の波形からもわかるように、平滑コンデンサ $C_o1$ の両端電圧 $E1$ には、MOS-FET Q3、Q4のターンオフ時に対応した期間に生じるノイズ成分が、 $0.3V_p$ のレベルにより生じている。つまりこれは、二次側直流出力電圧 $E_o$ のラインに対して $\pi$ 型フィルタの前段では( $\pi$ 型フィルタを設けなかった場合には)、二次側直流出力電圧に $0.3V_p$ のレベルによるノイズが生じるということが示されているものである。

このようなことから、二次側直流出力電圧 $E_o$ のラインに対して $\pi$ 型フィルタを設けた図1の回路では、二次側直流出力電圧 $E_o$ に生じるとされていた、上記のような $0.3V_p$ のレベルによるノイズ成分を、 $0.1V_p$  ( $100mV_p$ ) にまで低減できることが理解できる。

#### 【0082】

なお、この図4において、ゲートソース間電圧 $V_{GS3}$ 、 $V_{GS4}$ としては、それぞれMOS-FET Q3、Q4をターンオフとするタイミングで、この場合は $-9V$ による負の電位が生じているが、これは、先に説明したようにしてMOS-FET Q3、Q4の各ゲートと二次巻線との間に、それぞれ抵抗 $R_{g1}$ 、 $R_{g2}$ と並列にショットキーダイオード $D_{g1}$ 、 $D_{g2}$ を挿入していることによる。

このようにショットキーダイオード $D_{g1}$ 、 $D_{g2}$ を挿入することによって、MOS-FET Q3、Q4のターンオフ時に、これらMOS-FET Q3、Q4のゲート入力容量( $C_{is}$ )の蓄積電荷を、これらショットキーダイオード $D_{g1}$ 、 $D_{g2}$ を介して引き抜くようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード $D_g$  ( $D_{g1}$ 、 $D_{g2}$ ) → 二次巻線 $N2$  → 平滑コンデンサ $C_o$ の経路により放電されることになる。そして、このように入力容量の電荷が放電されることにより、MOS-FET Q3、Q4におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FETのターンオフ時の電圧降下時間を減少させることができれば、これらMOS-FET Q3、Q4を確実にオフとさせて良好なスイッチング特性を得ることができる。

#### 【0083】

また、図5には、図1に示す回路における軽負荷時 ( $P_o = 25W$ 時) の動作が示されている。

図1に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧 $E_o$ の安定化のために、スイッチング周波数制御による定電圧制御を行う。この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

このような軽負荷の状態では、図示するスイッチング素子Q2の両端電圧 $V1$ に対して、二次側巻線電圧 $V2$ はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流 $I_c$  (整流電流 $I3$ 、 $I4$ ) としても、図のように休止期間が無く平滑コンデンサ $C_o$ に連続して充電されるようにして流れる。

このことから、図1に示した電源回路では、軽負荷時においても連続モードとなることが理解できる。

#### 【0084】

続いて、図6には、これまでに説明した構成による図1に示す電源回路の負荷電力変動に対するAC→DC電力変換効率 ( $\eta_{AC \rightarrow DC}$ ) の特性を示す。なお、この図では交流入力電圧 $V_{AC} = 100V$ で一定とした場合の実験結果を示している。

この図6によると、図1に示す回路のAC→DC電力変換効率 ( $\eta_{AC \rightarrow DC}$ ) は、負荷電力 $P$

$P_o = 12.5\text{ W} \sim 100\text{ W}$ の範囲にわたって  $\eta_{AC \rightarrow DC} = 85\%$ 以上となる結果が得られている。そして、負荷電力  $P_o = 100\text{ W}$ 時には、 $\eta_{AC \rightarrow DC} = 86.5\%$ 程度となり、先の図19に示した従来の回路よりも約4.5%向上する結果が得られた。

#### 【0085】

このような図6に示される電力変換効率の特性は、図19に示す一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合（図24参照）と同等となる。つまり、先にも述べたように、図24の整流電流検出方式を採用した場合の  $AC \rightarrow DC$  電力変換効率は  $\eta_{AC \rightarrow DC} = 90\%$ 程度であるのに対し、本例では  $\eta_{AC \rightarrow DC} = 86.5\%$ と、およそ同等の  $AC \rightarrow DC$  電力変換効率を得られるものである。

しかしながら先に説明したように、図1に示す電源回路では、同期整流回路の構成としては巻線電圧検出方式を採っていることで、回路構成はより簡略なものとする事ができるものである。

#### 【0086】

以上では、本実施の形態のスイッチング電源回路が基とする回路構成について説明したが、上述もしたように図1に示した本例の基本構成の電源回路においては、絶縁コンバータトランス  $PI T$  が所要以下の磁束密度となるように設定したことで、重負荷の条件においても連続モードとすることが可能とされる。そして、このように連続モードの拡大が図られることにより、整流電流の逆方向電流が抑制されて、無効電力の低減が図られて良好な  $AC \rightarrow DC$  電力変換効率を得られるようになったものである。

また、図1の回路においては、先にも説明したように各整流電流経路に対してインダクタ  $L_d$  を挿入することで、整流電流の逆方向電流がさらに抑制される。そして、これによってさらなる無効電力の低減が図れている。

#### 【0087】

ところで、先にも説明したように図1の回路では、上記のようなインダクタ  $L_d$  として、例えばアモルファス磁性体等によるビーズコアを使用するものとしていたが、このようなビーズコアとしては、ギャップがゼロとされていることから、その直流重畳特性より、軽負荷の条件となって負荷電流レベルが所定以下となるのに応じてインダクタンス値が急激に上昇する傾向となる。

例えば図1の回路において、インダクタ  $L_{d1}$ 、 $L_{d2}$  のインダクタンスは、負荷電力  $P_o = 12.5\text{ W}$  以下となるのに応じ、 $0.3\text{ }\mu\text{ H}$  程度から急激に  $0.6\text{ }\mu\text{ H}$  程度に上昇する。そして、これに伴い図1の回路においては、負荷電力  $P_o = 12.5\text{ W}$  以下では異常発振動作となり、二次直流出力電圧  $E_o$  に数  $\text{kHz}$  程度のリップル電圧が発生するものとされていた。

#### 【0088】

また、図1の基本構成の回路では、抵抗  $R_{g1}$ 、 $R_{g2}$  に対して並列に設けたショットキーダイオード  $D_{g1}$ 、 $D_{g2}$  によって、 $MOS-FET$   $Q3$ 、 $Q4$  の良好なターンオフ特性を得るようにされていた。

但し、上述もしたようにこれらショットキーダイオード  $D_g$  を設けることによって、二次側直流出力電圧  $E_o$  に高周波のスイッチングノイズが発生し易いものとされていた。このため、先にも説明したように図1の回路では、二次側直流出力電圧  $E_o$  のラインに対して平滑コンデンサ  $C_{o1}$ 、 $C_{o2}$ 、及びチョークコイル  $L_n$  による  $\pi$  型フィルタを挿入して、このような高周波ノイズの抑制を図るように構成していた。

#### 【0089】

しかしながら、二次側直流出力電圧  $E_o$  のラインに対して設けられた  $\pi$  型フィルタによっては、上記したチョークコイル  $L_n$  における巻線の銅損、コアの鉄損、及び平滑コンデンサ  $C_{o2}$  の  $ESR$  に起因して、この場合は約  $1.5\text{ W}$  の電力損失が生じる。

ここで、このような  $\pi$  型フィルタを削除した場合における図1の回路の電力変換効率を、先の図6の特性図において破線で示したが、この場合、図示するように  $\pi$  型フィルタ（平滑コンデンサ  $C_{o2}$ 、チョークコイル  $L_n$ ）を削除した方が、負荷電力  $P_o = 12.5\text{ W} \sim 100\text{ W}$  の範囲にわたって高い電力変換効率を得られるのがわかる。



そして、実験によれば、 $\pi$ 型フィルタとしての平滑コンデンサ $C_{o2}$ 、チョークコイル $L_n$ を削除した場合、AC $\rightarrow$ DC電力変換効率は $\eta_{AC\rightarrow DC}=88\%$ 程度となる結果が得られた。先にも述べたように、 $\pi$ 型フィルタを設けた図1の回路の場合のAC $\rightarrow$ DC電力変換効率としては $\eta_{AC\rightarrow DC}=86.5\%$ 程度であったことから、この場合は約1.5%のロスが生じていることがわかる。

#### 【0090】

そこで、このようなことを考慮して、本発明の第1の実施の形態としては、スイッチング電源回路を、次の図7に示すようにして構成することとしている。

なお、この図では、既に図1において説明した部分については同一の符号を付して説明を省略する。

この図7に示されるようにして、第1の実施の形態では、図1の回路において各整流電流経路に対して挿入するようにして設けられていた、ビーズコアによるインダクタ $L_{d1}$ 、インダクタ $L_{d2}$ は削除するものとしている。

また、先にも述べたように $\pi$ 型フィルタを設ける要因とされていたショットキーダイオード $D_{g1}$ 、ショットキーダイオード $D_{g2}$ も削除するものとしている。

その上で、このような $\pi$ 型フィルタを削除した構成を採る。

#### 【0091】

そしてこの場合、上記インダクタ $L_{d1}$ 、 $L_{d2}$ に代えては、図示するように二次巻線 $N_{2A}$ 、二次巻線 $N_{2B}$ の各センタータップと、平滑コンデンサ $C_o$ の正極端子との間に、チョークコイル $L_o$ を直列に挿入するものとしている。

つまり第1の実施の形態のスイッチング電源回路においては、このようなチョークコイル $L_o$ に生じる逆起電力によって、整流電流の逆方向電流を防止する構成とするものである。

#### 【0092】

但しこの場合、上記のようなチョークコイル $L_o$ として、負荷電流レベルの変動に対するインダクタンス値の変化特性について考慮されなければ、先の図1の回路の場合のインダクタ $L_d$ と同様に、軽負荷時に急激にインダクタンス値が上昇して異常発振動作となってしまう可能性がある。

これを防止するため、第1の実施の形態としては、上記チョークコイル $L_o$ として次の図8に示すように構成するものとしている。

#### 【0093】

図8は、第1の実施の形態の電源回路で用いる、チョークコイル $L_o$ の構造を示す分解斜視図である。

まず、本実施の形態の場合のチョークコイル $L_o$ としては、図示するように平角線5aを所定ターン数巻回した、平角線コイル5を用いるものとしている。この平角線コイル5としては、断面形状が方形とされた上記平角線5aをその幅方向に巻回した、所謂エッジワイズ巻き（縦巻き）のものが採用される。

そして、このような平角線コイル5の両端部は、図示するようにこの平角線5を載置する側のプレート型コアCR6に設けられた、外部端子6に対してそれぞれ半田付け等により接続される。

さらに、このように平角線コイル5が載置されたプレート型コアCR6に対して、図示する形状によるポット型コアCR5が嵌合されることによって、チョークコイル $L_o$ が形成される。つまり、図示するように上記ポット型コアCR5側に形成された、図のような円形磁脚7を、上記平角線コイル5の内側に形成される円形の空洞領域に挿通させるようにして、プレート型コアCR6に対してポット型コアCR5を嵌合するものである。

#### 【0094】

この図8に示すチョークコイル $L_o$ において、上記ポット型コアCR5の材質としては、金属系ダストを採用している。また、上記プレート型コアCR6としては、Ni-Zn系のフェライト材を採用するものとしている。

本実施の形態において、このようにチョークコイル $L_o$ のコア材として、金属系ダスト

、及び／又はNi-Zn系のフェライトを選定することによって、例えば一般的なマンガンのフェライトを使用する場合よりも飽和磁束密度が向上するものとなり、その分チョークコイル $L_o$ として、電流レベルの変動に対するインダクタンス変化特性を向上することができる。

実験によれば、このような構成による本例のチョークコイル $L_o$ では、図7の回路における負荷電流（電流 $I_c$ ）の20A～0Aの変動に対し、インダクタンス値を0.7 $\mu$ Hでほぼ一定とすることができた。

#### 【0095】

さらに、図8のチョークコイル $L_o$ においては、上記のように巻線として平角線5aを用いることで、例えば断面が円形とされる一般的な銅線を使用する場合と比べて、巻線の断面積が増加してDCR（直流抵抗値）を低減させることができる。また、上述のようにNi-Zn系のフェライトを使用することによって、コアの鉄損の低減も図られている。

これらのことより、この場合のチョークコイル $L_o$ としては、その直流抵抗値が1.1m $\Omega$ 程度とされる。

#### 【0096】

ところで、このような構成によるチョークコイル $L_o$ を、先の図7に示したようにして絶縁コンバータトランスPITの二次巻線の各センタータップに接続されるようにして挿入することによって、このチョークコイル $L_o$ による漏洩インダクタンスによって、絶縁コンバータトランスPITにおける漏洩インダクタンスも増加するものとなる。つまり、このようにチョークコイル $L_o$ を挿入することによって、絶縁コンバータトランスPITにおける磁束密度が変化するようになるものである。

#### 【0097】

ここで、先にも説明したように図1の回路では、絶縁コンバータトランスPITにおけるギャップ長（漏洩インダクタンス）と、二次巻線の巻数の設定（1Tあたりの誘起電圧の設定）とによって、その磁束密度を所定以下とし、負荷変動に関わらず連続モードとしていたものである。

つまり、このことを踏まえると、図7の回路の絶縁コンバータトランスPITでは、上記チョークコイル $L_o$ の挿入により漏洩インダクタンスが増加する分、ギャップ長を縮めるか、或いは二次巻線の巻数を減少させても、連続モードとするための所定以下の磁束密度を得ることが可能となるものである。

#### 【0098】

このことから、第1の実施の形態の電源回路においては、絶縁コンバータトランスPITの二次巻線N2A、二次巻線N2Bとして、図1の回路の場合よりも巻数を少なく選定するものとしている。例えばこの場合は、上述のようにしてチョークコイル $L_o$ のインダクタンス値を0.7 $\mu$ H程度に設定することで、二次巻線N2A=二次巻線N2B=4T（N2A1=N2A2=N2B1=N2B2=2T）に設定するものとしている。

このようにして二次巻線の巻数を少なくすることができ、二次巻線における直流抵抗成分を低減することが可能となる。

#### 【0099】

図9は、このような第1の実施の形態としての図7の回路の各部の動作波形を示した波形図である。

なお、この図9では、交流入力電圧 $V_{AC}=100V$ 、負荷電力 $P_o=100W$ の条件下での測定結果を示している。

また、この図に示す実験結果を得るにあたっては、各部を以下のように選定するものとした。

- ・絶縁コンバータトランスPIT
- 一次巻線N1=80T、二次巻線N2A=N2B=4T（N2A1=N2A2=N2B1=N2B2=2T）
- ・チョークコイル $L_o=0.7\mu H$
- ・平滑コンデンサ $C_o$

キャパシタンス  $C = 6800 \mu F$ 、耐圧  $6.3 V$ 、 $ESR = 16 m\Omega$

・ MOS-FET Q3、Q4

耐圧  $30 A / 20 V$ 、オン抵抗  $R_{ON} = 2.5 m\Omega$

#### 【0100】

まず、この図9においても、スイッチング素子Q2の両端電圧V1、及びスイッチング素子Q2//ダンパーダイオードDD2に流れるスイッチング電流IDS2が示されている。

これら電圧V1、スイッチング電流IDS2としては、先の図4の場合と比較してわかるように、図1の回路の場合と同等の波形が得られている。

また、この図9においては、一次側直列共振電流Ioの波形も示されている。この場合の一次側直列共振電流Ioとしても、図のように略正弦波状の波形とされた上で、時点t1、t2、t3においてゼロクロスする波形が得られる。つまり、このような一次側直列共振電流Ioとしても、先の図4の場合と同等の波形が得られているものである。

これらのことから、図7の回路の一次側においては、先の図1の回路の場合と同等の動作が得られていることがわかる。

#### 【0101】

そして、この場合における、MOS-FET Q3、Q4のゲートソース間に生じるゲートソース間電圧VGS3、VGS4としては、先の図4の場合と比較して、この場合は略正弦波状の波形により得られるものとなる。またこの場合、図4の場合ではMOS-FET Q3、Q4がターンオフするタイミングで生じていた負の電位は生じないものとなっている。

これは、先の図7にて説明したように、本例ではショットキーダイオードDg1、Dg2が省略されたことにより、各MOS-FETのゲート入力容量の蓄積電荷を放電する経路を形成しないようにしたことによるものである。

#### 【0102】

また、この場合における、二次巻線N2Bの巻線部N2B2に生じる電圧V2としては、上記のようにゲートソース間電圧VGS3、VGS4として異なる波形が得られることからわかるように、図4の場合とは異なる波形が得られる。

つまり、図4の場合の電圧V2としては、ゲートソース間電圧VGS3、VGS4の負の電位が生じることによって、MOS-FETのデットタイムの終了時点（時点t2）にて、急峻に0レベルに落ち込む波形とされていたが、ここでは、図示するようにゲートソース間電圧VGS3、VGS4のレベル低下に応じて徐々に0レベルに低下していく波形が得られるものである。

そして、このような電圧V2としては、この場合もそのゼロクロスタイミングが、一次側直列共振電流Ioのゼロクロスタイミングと重なるものとなっている（時点t1、t2、t3参照）。

#### 【0103】

また、この場合の整流電流I3、I4としても、上記のように電圧V2が一次側直列共振電流Ioと連続することによって、そのゼロクロスタイミングが、一次側直列共振電流Ioのゼロクロスタイミングと重なる波形として得られる。そして、このように整流電流I3、I4が、一次側直列共振電流Ioと連続して流れるようになることにより、平滑コンデンサCoへの充電電流Icとしても、同様に一次側直列共振電流Ioと連続して流れることになる。

このようなことから、図7に示した本例の回路においても、重負荷とされてスイッチング周波数が低くなるようにして制御されているときに、二次側整流電流として連続モードが得られていることがわかる。

なお、この場合も、上記整流電流I3、I4としては、図示するようにそのピークレベルが28Apとなり、図1の場合と同様に従来の図20に示した整流電流I1、I2よりも低減する結果が得られている。

#### 【0104】

また、図9において、この場合も、上記整流電流I3、I4には逆方向電流が流されていないことがわかる。この場合において、整流電流I3、I4に逆方向電流が発生しないのは

、先にも説明したように、二次巻線N2A、N2Bの各センタータップと平滑コンデンサC<sub>o</sub>の正極端子との間にチョークコイルL<sub>o</sub>を挿入するようにしたことによるものである。

なお、本例の場合、このようなチョークコイルL<sub>o</sub>のインダクタンスとしては、上述もしたように0.7μH程度を設定することで、整流電流I<sub>3</sub>、I<sub>4</sub>における逆方向電流の発生を防止することが可能とされている。

#### 【0105】

また、図9においては、二次側直流出力電圧E<sub>o</sub>に生じるリップル成分ΔE<sub>o</sub>が示されている。

この図9に示されるリップル成分ΔE<sub>o</sub>と、先の図4に示したリップル成分ΔE<sub>o</sub>を比較してわかるように、図7の回路のリップル成分ΔE<sub>o</sub>としては、ΔE<sub>o</sub>=0.05V<sub>p</sub>(50mV<sub>p</sub>)と、二次側直流出力電圧E<sub>o</sub>のラインにπ型フィルタを設けた図1の回路の場合と同程度に抑制されるものとなる。これは、図7に示したようにして、本例では、チョークコイルL<sub>o</sub>を平滑コンデンサC<sub>o</sub>の正極端子と接続されるようにして挿入していることによる。

つまり、このようにチョークコイルL<sub>o</sub>を平滑コンデンサC<sub>o</sub>の正極端子と接続されるようにして挿入したことにより、このチョークコイルL<sub>o</sub>によるインダクタンスと平滑コンデンサC<sub>o</sub>のキャパシタンスによるフィルタ回路が形成され、これによって二次側直流出力電圧E<sub>o</sub>に生じるリップル成分が抑制されるものである。

#### 【0106】

また、このリップル成分ΔE<sub>o</sub>の波形により示されるように、この場合の二次側直流出力電圧E<sub>o</sub>における、MOS-FET Q<sub>3</sub>、Q<sub>4</sub>のターンオフ時に対応した期間に生じるノイズ成分のレベルとしても、図1の回路の場合と同様に0.1V<sub>p</sub>程度に抑制されている。

このように二次側直流出力電圧E<sub>o</sub>に生じるノイズ成分が低減されているのは、先にも説明したようにショットキーダイオードD<sub>g1</sub>、D<sub>g2</sub>を省略するようにしたからである。

また、このような二次側直流出力電圧E<sub>o</sub>に生じるノイズ成分は、チョークコイルL<sub>o</sub>のインピーダンス成分によっても抑制されるものと考えられる。

#### 【0107】

なお、確認のために述べておくと、この場合としても、軽負荷時(P<sub>o</sub>=25W時)の動作としては、先の図4の場合と同様にスイッチング素子Q<sub>2</sub>の両端電圧V<sub>1</sub>に対して二次側巻線電圧V<sub>2</sub>はほぼ同じタイミングで得られ、連続モードとなる。

#### 【0108】

図10には、図7に示した本例の電源回路と、先の図1に示した基本構成との比較として、負荷電力変動に対するAC→DC電力変換効率(η<sub>AC→DC</sub>)の特性を示す。ここでは、本例の電源回路の特性を実線で示し、図1の回路の特性を破線で示す。

この図10によると、AC→DC電力変換効率(η<sub>AC→DC</sub>)は、本例の回路の方が図1に示した回路に対して、負荷電力P<sub>o</sub>=25W~100Wの範囲にわたって高くなっていることが分かる。

先にも説明したように、図1に示した基本構成では、負荷電力P<sub>o</sub>=100W時にはη<sub>AC→DC</sub>=86.5%程度であったのに対して、図7の本例の電源回路では、負荷電力P<sub>o</sub>=100W時にη<sub>AC→DC</sub>=88.5%と、約2.0%向上する結果が得られている。

また、負荷電力P<sub>o</sub>=25W時には、図1の回路ではη<sub>AC→DC</sub>=87%程度であったが、本例ではη<sub>AC→DC</sub>=88%程度と、約1.0%向上する結果が得られた。

#### 【0109】

このような電力変換効率の向上は、これまでの説明からも理解されるように、図1の回路に備えられていた二次側のπ型フィルタを削除するようにしたことによる。つまりこの場合は、先の図1の構成から少なくとも平滑コンデンサC<sub>o2</sub>が削除されたものとなるから、このような平滑コンデンサC<sub>o2</sub>のESR(例えば図1の場合では15mΩ)分の損失を低減することができるものである。

#### 【0110】

また、さらにこのような電力変換効率の向上は、チョークコイル $L_o$ を設けたことで、絶縁コンバータトランスPITの二次巻線(N2A、N2B)の巻数を、図1の場合よりも少なくすることができたことによるものでもある。

すなわち、先にも述べたように、この場合は二次巻線の巻数として、図1の場合の6Tから4Tに減らすことができたことで、その分二次巻線の線材の要する長さを短くしてDCRを低減することができる。そして、これによって、二次巻線において生じる電力損失を低減することが可能となり、この結果として電力変換効率の向上が図られているものである。

#### 【0111】

以上のようにして、第1の実施の形態のスイッチング電源回路では、図1の回路では各整流電流経路に対して挿入されていた、ビーズコアによるインダクタ $L_{d1}$ 、 $L_{d2}$ を削除し、これに代えて二次巻線N2A、N2Bの各センタータップと平滑コンデンサ $C_o$ の正極端子との間に、チョークコイル $L_o$ を挿入するようにしている。

そして、これと共に、ゲート抵抗 $R_{g1}$ 、 $R_{g2}$ にそれぞれ並列に接続されていたショットキーダイオード $D_{g1}$ 、 $D_{g2}$ を削除し、さらに、二次側直流出力電圧 $E_o$ のラインに設けられていた $\pi$ 型フィルタを削除するようにもしている。

#### 【0112】

このような第1の実施の形態のスイッチング電源回路によれば、上記のようにして二次巻線の各センタータップと平滑コンデンサ $C_o$ との間に挿入されたチョークコイル $L_o$ によって、整流電流に逆方向電流が発生することを防止することが可能となる。

そして、上記のようにしてショットキーダイオード $D_{g1}$ 、 $D_{g2}$ を削除したことによって、二次側直流出力電圧 $E_o$ に重畳するとされる高周波のスイッチングノイズを抑制することができる。

#### 【0113】

また、上記のように第1の実施の形態では、二次側の $\pi$ 型フィルタ(平滑コンデンサ $C_{o2}$ )が削除されることにより、この $\pi$ 型フィルタによって生じていた分の電力損失(平滑コンデンサ $C_{o2}$ のESRによる損失)をなくすることができる。

さらに、第1の実施の形態では、上記もしたようにチョークコイル $L_o$ を二次巻線の各センタータップに接続されるようにして挿入していることから、絶縁コンバータトランスPITにおいて、重負荷時にも連続モードとするために所定以下の磁束密度を設定するにあたっての、二次巻線の巻数を少なくすることができる。そして、これによって、先にも説明したように二次巻線のDCRを低減することができ、その分、二次巻線における無効電力も低減できる。

このようにして無効電力が低減されることによって、電力変換効率の向上が図られる。

またこの際、上記のように二次巻線のDCRが低減されることで、二次巻線の発熱も低減することができる。

#### 【0114】

また、第1の実施の形態では、上記チョークコイル $L_o$ のコア材として、磁束密度の比較的高い金属系ダスト、Ni-Zn系フェライトを選定したことにより、チョークコイル $L_o$ のインダクタンス値を電流レベルの変動に対して安定化することができる。

そして、これによって、例えば軽負荷の条件となる等して、急激にそのインダクタンス値が変化して異常発振動作が生じるような事態を防止することができ、先の図1の回路の場合のように、軽負荷時における二次側直流出力電圧 $E_o$ にリップルが生じることがなくなる。

#### 【0115】

また、さらにこの場合は、上記もしたようにビーズコアによるインダクタ $L_{d1}$ 、 $L_{d2}$ 、及びショットキーダイオード $D_{g1}$ 、 $D_{g2}$ 、及び $\pi$ 型フィルタを省略することができることから、その分図1の回路の場合よりも回路構成を簡略化できるというメリットもある。

#### 【0116】

続いては、次の図 1 1 ~ 図 1 4 を参照して、本発明の第 2 の実施の形態としてのスイッチング電源回路の構成例について説明する。

第 2 の実施の形態のスイッチング電源回路としては、上記した図 7 の回路の接続形態の下で、チョークコイル L<sub>0</sub> の構成のみを変更するようにしたものである。

従って、以下では、このような第 2 の実施の形態のスイッチング電源回路において用いる、主にチョークコイル L<sub>0</sub> の構成のみについて説明し、スイッチング電源回路の全体の構成としては先の図 7 と同等となることからここでの説明は省略する。

#### 【0117】

まず、この場合のチョークコイル L<sub>0</sub> としては、その巻線 N<sub>0</sub> として、例えば次の図 1 1、或いは図 1 2 に示すように構成するものとしている。

第 2 の実施の形態において、このようなチョークコイル L<sub>0</sub> の巻線 N<sub>0</sub> の線材には、例えばポリウレタン被膜等の絶縁被覆処理の施された銅線等による素線が、複数本撚り合わされて成る、リッツ線 1 0 を用いる。

そして、先ず図 1 1 の場合は、このようなリッツ線 1 0 の複数を、図示するようにして平行に整列させたリッツ線帯 1 1 を形成するものとしている。そして、このリッツ線帯 1 1 の両端部に対して、図示するようにリード線 1 4、1 4 を半田付けすることによって、巻線 N<sub>0</sub> を形成する。

#### 【0118】

なお、この場合のリッツ線帯 1 1 としては、図示するように 4 本のリッツ線 1 0 を整列させるものとしている。そして、このようなリッツ線 1 0 として、この場合は線径 0. 1 mm  $\phi$  の素線を 2 0 0 束撚り合わせたものを用い、さらにその長さ Y 1 としては、この場合のボビンサイズに対応させた例えば 1 2 mm に設定する。

また、この場合のリード線 1 4 としては、図示するように平角線を使用するものとしている。さらに、リッツ線帯 1 1 に対する、このような平角線によるリード線 1 4 の半田付けとしては、例えばリッツ線 1 0 内の各素線の銅線部分を表出させた上で、この銅線部分をリード線 1 4 に巻き付けた上で施すようにされればよい。或いは、リッツ線帯 1 1 の両端部に予備半田を行うようにしておけば、各素線から銅線部分を表出させる手間が省けると共に、これらをリード線 1 4 に巻き付けるといった手間も省略できる。

#### 【0119】

また、図 1 2 の例では、複数のリッツ線 1 0 を交互に編み込んだ平編線 1 2 を形成するものとしている。この場合としても、平編線 1 2 の両端部に対しては、図のようにそれぞれリード線 1 4、1 4 を半田付けするようにされる。

このような平編線 1 2 として、ここでは 3 本のリッツ線 1 0 を平編みすると共に、図示する平編線 1 2 の長さ Y 2 としては 1 4 mm を設定する。

なお、この場合のリッツ線 1 0 としても、素線径 = 0. 1  $\phi$   $\times$  2 0 0 束の仕様のものを用いる。また、この場合もリード線 1 4 としては、平角線を使用する。

#### 【0120】

そして、第 2 の実施の形態では、チョークコイル L<sub>0</sub> のコアとして、次の図 1 3 に示すような E E 形コアを用いるようにしている。

この図 1 3 の断面図に示すようにして、この場合のチョークコイル L<sub>0</sub> のコアとしては、断面形状がそれぞれ E 字形とされたフェライト材の各々の磁脚を対向させた、図のような E E 形コア C R 1 1 を用いるようにされる。

そして、このような E E 形コア C R 1 1 の中央磁脚に対しては、図示するようにギャップ G を形成するものとしている。

また、この場合の E E 形コア C R 1 1 の材質としては、M n - Z n 系フェライト材を選定している。

そして、この場合の E E 形コア C R 1 1 のサイズとしては、例えば E E - 2 5 を選定している。

#### 【0121】

このような E E 形コア C R 1 1 に対しては、中央磁脚を覆うようにして樹脂等によるボ

ピンBが備えられる。また、このようなEE形コアCR11の外面の両端には、基板実装面方向に突出した複数のピン端子15を支持するピン端子支持支部16、16が備えられている。

そして、上記のようにEE形コアCR11の中央磁脚を覆うボビンBに対しては、先の図11に示したリッツ線帯11による巻線No、又は図12に示した平編線12による巻線Noを所定のターン数で巻回する。

そして、図示はしていないが、このようにボビンBに巻装されるリッツ線帯11、或いは平編線12の両端に半田付けされたリード線14、14を、それぞれ対応するピン端子15に対して半田付けする。

これによって第2の実施の形態としてのチョークコイルLoが形成される。

#### 【0122】

なお、この場合の巻線Noの巻数としては、リッツ線帯11、平編線12とされた場合も共に2Tを巻回するものとしている。また、上記したギャップGとしては、 $G=1.4\text{ mm}$ を形成する。これによって第2の実施の形態の場合としても、チョークコイルLoのインダクタンスを $0.7\text{ }\mu\text{ H}$ 程度に設定している。

#### 【0123】

このような構成とされる、第2の実施の形態としてのチョークコイルLoによれば、上記のように巻線Noとして複数のリッツ線10を整列又は平編みした状態で巻装することによって、このチョークコイルLoにおける無効電力を低減することができる。

つまり、図11に示した、複数のリッツ線10を整列させたリッツ線帯11とした場合は、例えば先の第1の実施の形態の場合のチョークコイルLo（図8参照）のように、1本の平角線5aにより巻線を巻装する場合よりも、そのターン数は少なく済む。実際には、図8の場合のチョークコイルLoでは4Tを巻装していたものを、上記もしたようにこの場合は2Tで済むものとなって、その分巻線Noの線材（リッツ線10）の長さを短くすることができる。そして、このように各リッツ線10の長さを短くすることで、巻線NoのDCRを低減してチョークコイルLoの無効電力を低減することができるものである。

また、巻線Noを平編線12とする場合も、同様に1本の線材により巻装する場合よりもその長さを短くでき、これによってチョークコイルLoの無効電力を低減できる。また、この場合は、リッツ線10が交互に編み込まれることにより、高周波の整流電流が流れることによって巻線Noに生じる渦電流損が低減され、これによってもチョークコイルLoの無効電力の低減が図られるものとなる。

#### 【0124】

さらにこの場合は、チョークコイルLoのコアとして、比較的低損失とされるMn-Zn系フェライト材を使用するものとしたことから、チョークコイルLoにおけるコアの鉄損が低減され、これによっても無効電力の低減が図られている。

また、先に説明したようにして、上記したリッツ線帯11、平編線12の端部のピン端子15への取り付けに、平角線によるリード線14を用いることによって、線材の断面積が増加する分、例えば通常の円形断面を有するリード線を使用する場合よりも損失を低減できる。

#### 【0125】

図14は、第2の実施の形態のスイッチング電源回路における、負荷電力変動に対するAC→DC電力変換効率( $\eta_{AC\rightarrow DC}$ )の特性を示す。この図においても、第2の実施の形態としての電源回路の特性を実線で示し、図1の回路の特性を破線により示す。

この図に示されるように、第2の実施の形態のスイッチング電源回路としても、負荷電力 $P_o=25\text{ W}\sim P_o=100$ の範囲にわたって、先の図1に示した実施の形態の基本構成の回路よりも高い電力変換効率を得られていることがわかる。

そして、実験によれば、交流入力電圧 $V_{AC}=100\text{ V}$ 、負荷電力 $P_o=100\text{ W}$ 時における電力変換効率としては、 $\eta_{AC\rightarrow DC}=91.5\%$ となる結果が得られた。これは、図1に示した実施の形態の基本構成の回路よりも5.0%向上するものである。



## 【0126】

また、この結果は、先の図7に示した第1の実施の形態の回路の電力変換効率 ( $\eta_{AC \rightarrow DC} = 88.5\%$ ) と比較しても、3.0%向上しているものである。

このように第2の実施の形態の回路において、第1の実施の形態の回路よりも電力変換効率が向上しているのは、上記もしたようにチョークコイル  $L_o$  の巻線  $N_o$  として、複数のリッツ線10によるリッツ線帯11、又は平編線12を用いたことにより、図7の回路の場合よりもチョークコイル  $L_o$  のDCRが低減されたことによるものである。

実験によれば、第2の実施の形態のチョークコイル  $L_o$  におけるDCRは、 $0.5\text{ m}\Omega$  以下となり、第1の実施の形態の場合のチョークコイル  $L_o$  のDCR =  $1.1\text{ m}\Omega$  よりも大幅に低減される結果が得られている。

## 【0127】

なお、確認のために述べておくと、このような第2の実施の形態の電源回路としても、その回路構成は図7の回路と同等のものとされていることから、第1の実施の形態の場合と同等の効果を得ることができる。

例えば、この場合としても、チョークコイル  $L_o$  の逆起電力によって整流電流の逆方向電流を抑制することができる。また、この場合も、MOS-FET Q3、Q4に接続されていたショットキーダイオード  $D_{g1}$ 、 $D_{g2}$  は削除されるので、二次側直流出力電圧  $E_o$  に重畳するとされる高周波のスイッチングノイズを抑制することができる。

さらに、この場合としても、チョークコイル  $L_o$  は二次巻線の各センタータップに接続されるようにして挿入されるから、連続モードとするにあたっての二次巻線の巻数を少なくすることができ、これによる無効電力の低減が図られる。

## 【0128】

また、第2の実施の形態では、上記チョークコイル  $L_o$  のコア材として、 $Mn-Zn$  系フェライト材によるEE形コアCR11を選定しているが、このような  $Mn-Zn$  系フェライト材としても、比較的高い飽和磁束密度を得ることができるものである。このことから、第2の実施の形態としても、チョークコイル  $L_o$  のインダクタンス値を電流レベルの変動に対して安定化することができる。

つまりこれによって、この場合も所要以下の軽負荷の条件（例えば負荷電力  $P_o = 12.5\text{ W}$  以下）となった際に、二次側直流出力電圧  $E_o$  に生じるとされていたリップルの発生を防止することができる。

## 【0129】

また、さらに第2の実施の形態では、チョークコイル  $L_o$  のコアとして、E字形コアとしての2つEE形コアCR11を組み合わせたコアとしたことから、そのインダクタンスの設定は、これらEE形コアCR11の中央磁脚に対して形成されるギャップ長の設定により可能となる。

つまりこの場合、チョークコイル  $L_o$  のインダクタンス値は、このようなギャップ長の管理という比較的簡易な調整によって、そのバラつきを抑えることができるものである。

なお、このようなEE形コアCR11を用いるようにした本例のチョークコイル  $L_o$  の、量産時におけるインダクタンス値のバラつきは、先に例示したギャップ  $G = 1.4\text{ mm}$  を管理することによって例えば $\pm 5\%$ 以内に抑えることができる。

## 【0130】

続いて、以下の図15～図18には、第2の実施の形態のチョークコイル  $L_o$  の変形例について示す。

第2の実施の形態の変形例としても、チョークコイル  $L_o$  の巻線  $N_o$  には、先の図11に示したようなリッツ線帯11、又は図12に示した平編線12を用いるものとしている。

そして、この場合は、図15に示すようにして、上記リッツ線帯11の両端には、それぞれL字型に折り曲げたリード線14（平角線）を半田付けするものとしている。

同様に、平編線12を用いる場合としても、図16に示すようにしてその両端には、L字型に折り曲げた平角線によるリード線14を半田付けするものとしている。



そして、このようなリード線 1 4 の先端には、図示するように予備半田を行うものとしている。

なお、この場合のリッツ線 1 0 の線径/束数、本数、及び長さは、それぞれ先の図 1 1、図 1 2 の場合と同等とされればよい。

#### 【0 1 3 1】

そして、この場合のチョークコイル L o のコアとしても、図 1 7 の断面図に示すように、その断面形状が E E 字形とされたコアを用いるようにしている。

ここでのチョークコイル L o のコアとしては、断面形状は E E 字形とされるが、その中央磁脚が円筒形状とされた、E R 形コア C R 1 2 を用いる。

そして、このような E R 形コア C R 1 2 の中央磁脚に対しては、この場合もギャップ G を形成する。さらに、この場合の E R 形コア C R 1 2 の材質としても、先の図 1 3 の E E 形コア C R 1 1 と同様に、M n - Z n 系フェライト材を選定している。

#### 【0 1 3 2】

その上で、第 2 の実施の形態の変形例においては、このような E R 形コア C R 1 2 の外両端に備えられるピン端子支持部 1 6、1 6 に対し、それぞれ所定位置に溝部 1 6 a を形成しておくようにする。

そして、先ずは一方のピン端子支持部 1 6 にて形成される溝部 1 6 a に対して、先の図 1 5 又は図 1 6 に示した巻線 N o の巻き始め側端部に取り付けられたリード線 1 4 の先端部分を挿通させた上で、図示するボビン B に対して巻線 N o を巻回する。

さらに、このように巻回した巻線 N o の、巻き終わり側となる端部に取り付けられたリード線 1 4 の先端部分を、他方のピン端子支持部 1 6 に形成した溝部 1 6 a に挿通させて、チョークコイル L o を形成するものである。

#### 【0 1 3 3】

このような変形例としてのチョークコイル L o によっても、巻線 N o として、複数のリッツ線 1 0 によるリッツ線帯 1 1 又は平編線 1 2 が巻装されるので、図 8 に示した 1 本の平角線 5 a とされる場合よりも線材の長さを短くでき、これによってチョークコイル L o における無効電力を低減することができる。

つまり、この変形例の構成によっても、第 2 の実施の形態と同様の効果が得られるものである。

#### 【0 1 3 4】

さらに、この場合は、上記のようにリッツ線帯 1 1、平編線 1 2 の両端に取り付けたリード線 1 4、1 4 の先端部を予備半田した上で、これらを溝部 1 6 a に挿通するようにしたことにより、この予備半田した端部を直接基板に対して取り付けることが可能となって、リード線 1 4 をチョークコイル L o のピン端子 1 5 に対して半田付けする必要がなくなるというメリットもある。

#### 【0 1 3 5】

また、さらに図 1 8 の断面図には、第 2 の実施の形態のチョークコイル L o として、他の変形例の構成を示す。

第 2 の実施の形態の他の変形例では、図 1 8 に示すようにして、絶縁コンバータトランス P I T における、二次側に位置するようにされたコアに対して、チョークコイル L o のコアを隣接させるようにして設けたものである。

すなわち、絶縁コンバータトランス P I T の二次側に位置するようにされた E 型コア C R 2 の外面に対して、その磁脚を対向させるようにしてチョークコイル L o の E R 形コア C R 1 2 を設ける。そしてこの場合は、このような E 型コア C R 2 の外面と、E R 形コア C R 1 2 の中央磁脚との間に対してギャップ G が形成されるようにしたものである。

なお、E R 形コア C R 1 1 としては、この場合の絶縁コンバータトランス P I T の E 型コア C R 1、C R 2 と同サイズとなる、例えば E R - 4 0 型を選定すればよい。

#### 【0 1 3 6】

このような第 2 の実施の形態の他の変形例によっては、E R 形コアの中央磁脚に対して設けられたボビン B に対して、リッツ線帯 1 1 又は平編線 1 2 による巻線 N o を 1 T のタ

ーン数により巻装し、且つ上述したように形成されるギャップGとして $G = 1\text{ mm}$ を設定した場合に、第2の実施の形態の回路と同等の効果を得ることができる。

【0137】

なお、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

例えば、本発明に基づいた巻線電圧検出方式の同期整流回路の細部の構成については適宜変更されてよい。また、例えば一次側スイッチングコンバータのスイッチング素子としては、IGBT (Insulated Gate Bipolar Transistor) など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することができる。さらには、4石のスイッチング素子をフルブリッジ結合した電流共振形コンバータにも適用できる。

また、商用交流電源を入力して直流入力電圧を得る整流回路としても、例えば倍電圧整流回路以外の構成とすることが考えられる。

【図面の簡単な説明】

【0138】

【図1】本発明の実施の形態としてのスイッチング電源回路が基とする回路構成を示す回路図である。

【図2】図1に示す電源回路における、絶縁コンバータトランスの構造例を示す図である。

【図3】図1の回路の二次側整流電流経路に対して挿入されるインダクタの構造例を示す図である。

【図4】図1に示す電源回路の重負荷時の動作を示す波形図である。

【図5】図1に示す電源回路の軽負荷時の動作を示す波形図である。

【図6】図1に示す電源回路における、負荷変動に対する電力変換特性について説明するための図である。

【図7】本発明における実施の形態としてのスイッチング電源回路の構成例について示す回路図である。

【図8】第1の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構造を示す分解斜視図である。

【図9】実施の形態のスイッチング電源回路における重負荷時の動作を示す波形図である。

【図10】第1の実施の形態としてのスイッチング電源回路の、負荷変動に対する電力変換特性について説明するための図である。

【図11】本発明における第2の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構成について説明するための図である。

【図12】同じく、第2の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構成について説明するための図である。

【図13】第2の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの断面図である。

【図14】第2の実施の形態としてのスイッチング電源回路の、負荷変動に対する電力変換特性について説明するための図である。

【図15】第2の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構成の変形例について説明するための図である。

【図16】同じく、第2の実施の形態のスイッチング電源回路の二次側に備えられる、チョークコイルの構成の変形例について説明するための図である。

【図17】第2の実施の形態のスイッチング電源回路の二次側に備えられる、変形例としてのチョークコイルの構造を示す断面図である。

【図18】第2の実施の形態のスイッチング電源回路の二次側に備えられる、他の変形例としてのチョークコイルの構造を示す断面図である。

【図19】従来としての電源回路の構成を示す回路図である。

【図20】図19に示す電源回路の重負荷時の動作を示す波形図である。

【図21】図19に示す電源回路として巻線電圧検出方式の同期整流回路を備えた場合の二次側の構成を示す回路図である。

【図22】図21に示す二次側の構成を採った場合の、重負荷時の動作を示す波形図である。

【図23】図21に示す二次側の構成を採った場合の、軽負荷時の動作を示す波形図である。

【図24】整流電流検出方式による同期整流回路の基本構成例を示す回路図である。

【図25】図24に示す同期整流回路の動作を示す波形図である。

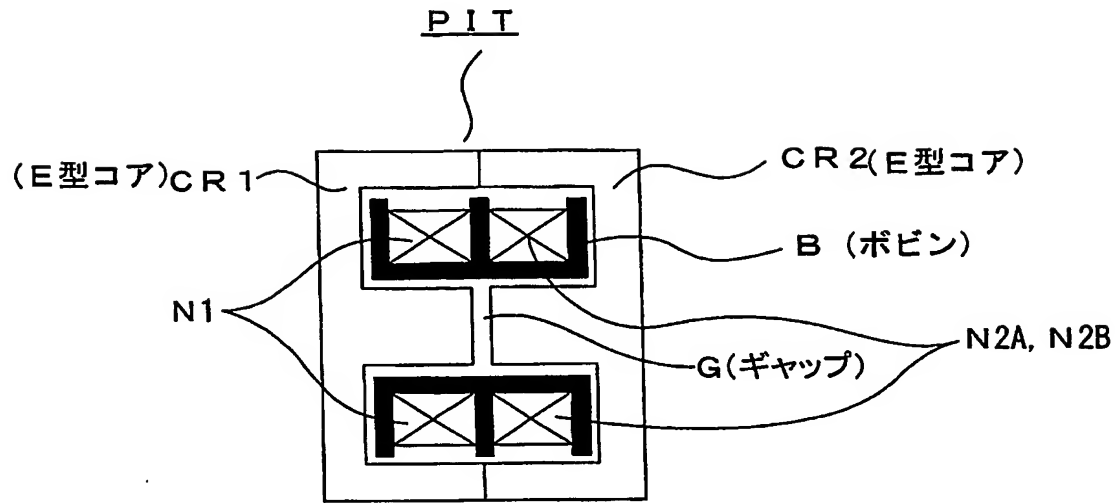
#### 【符号の説明】

##### 【0139】

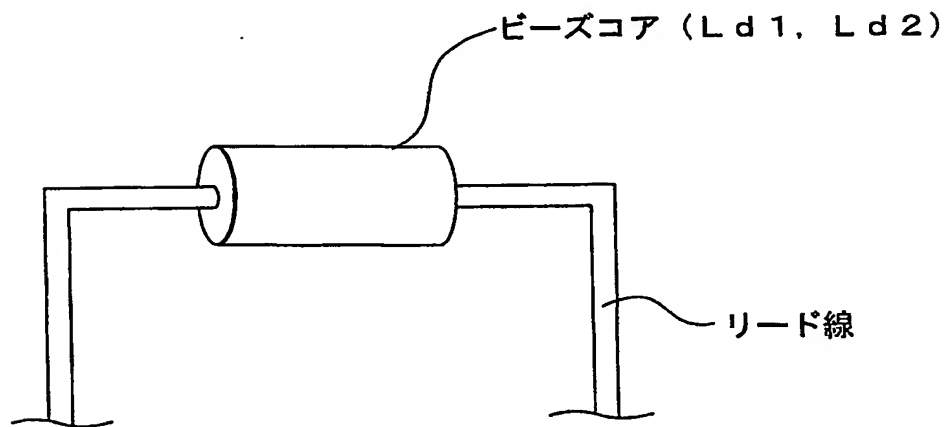
1 制御回路、2 発振・ドライブ回路、Di ブリッジ整流回路、Ci 平滑コンデンサ、Q1, Q2 スwitching素子、DD1, DD2 ダンパーダイオード、C1 一次側直列共振コンデンサ、Cp 部分電圧共振コンデンサ、PIT 絶縁コンバータトランス、N1 一次巻線、N2A, N2B 二次巻線、N2A1, N2A2, N2B1, N2B2 巻線部、Q3, Q4 MOS-FET、DD3, DD4 ボディダイオード、Co (二次側) 平滑コンデンサ、Lo チョークコイル、CR5 ポット型コア、CR6 プレート型コア、5 平角線コイル、5a 平角線、6 外部端子、7 円形磁脚、10 リッツ線、11 リッツ線帯、12 平編線、CR11 EE形コア、CR12 ER形コア



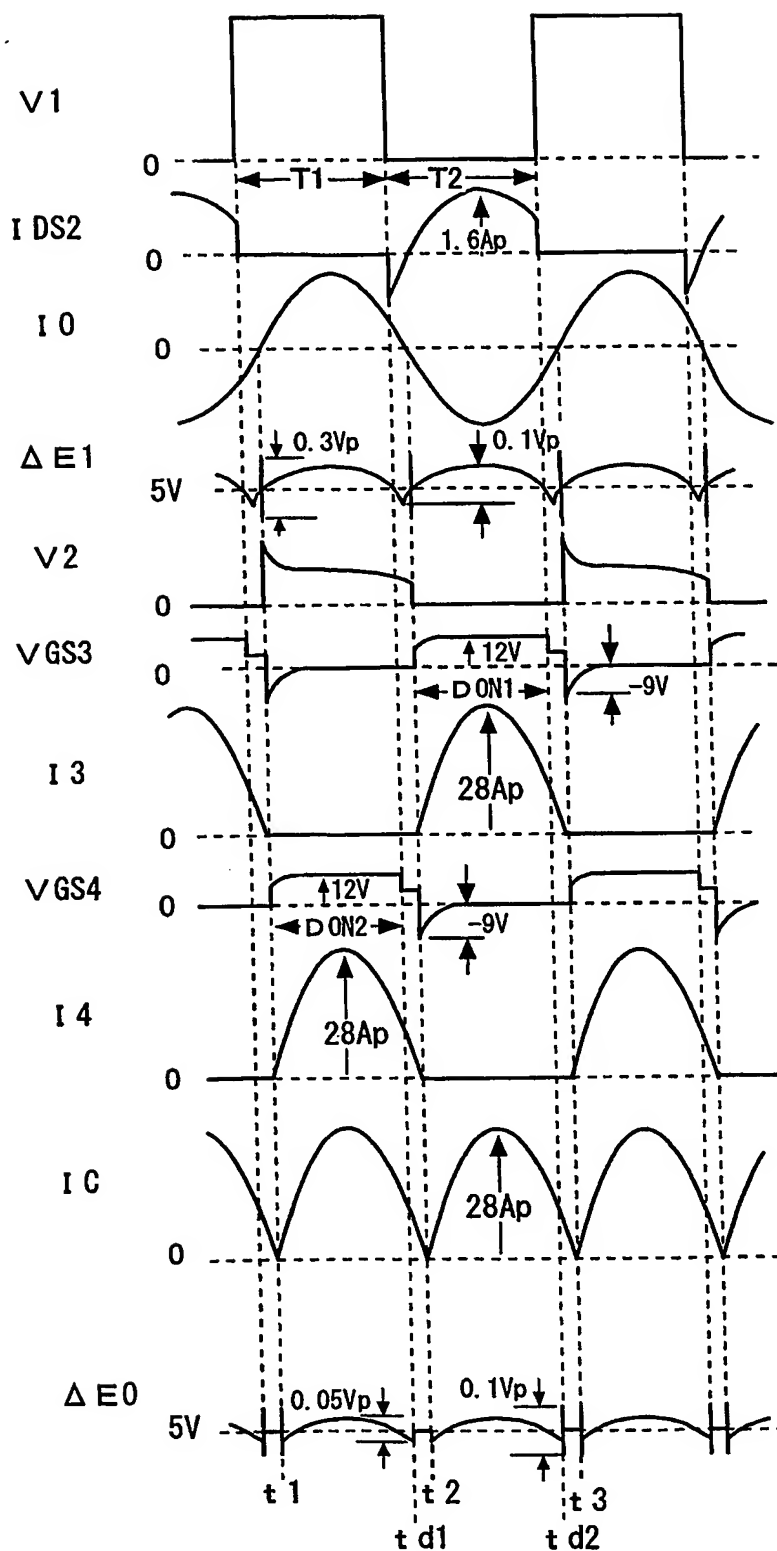
【図2】



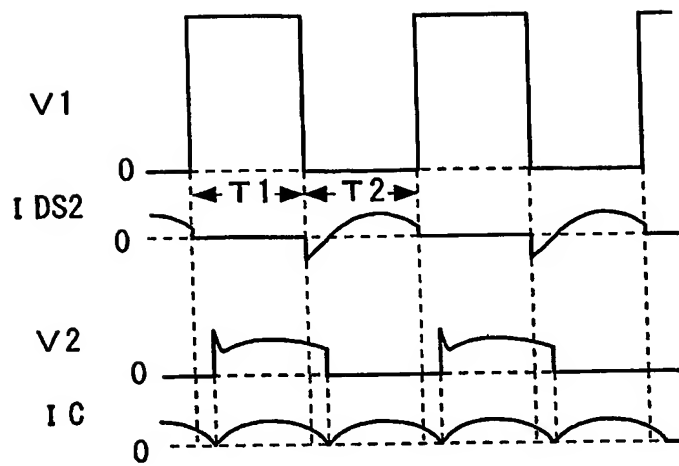
【図3】



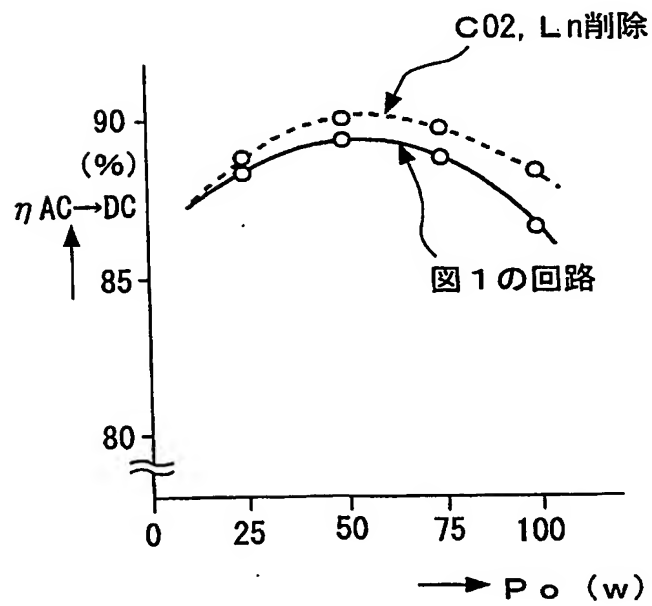
【図 4】



【図5】



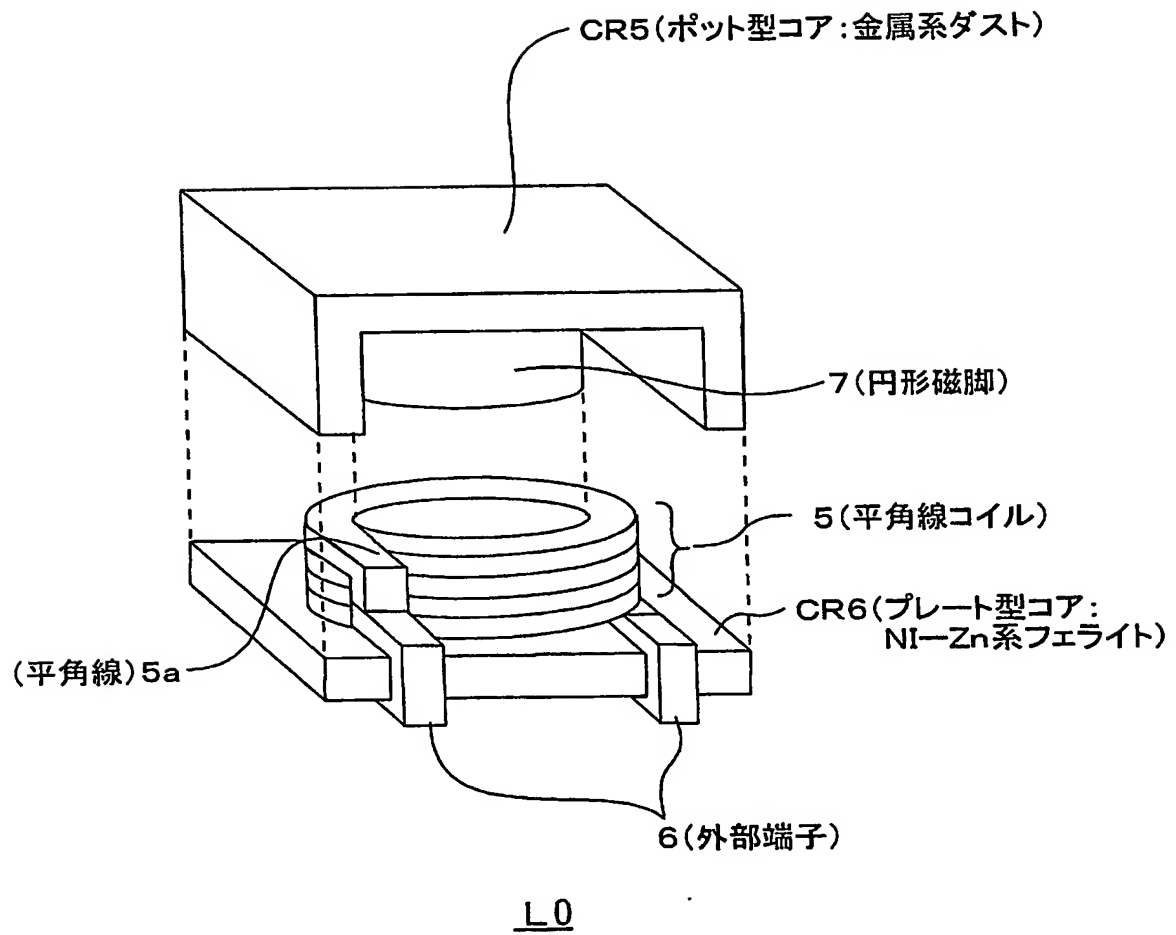
【図6】



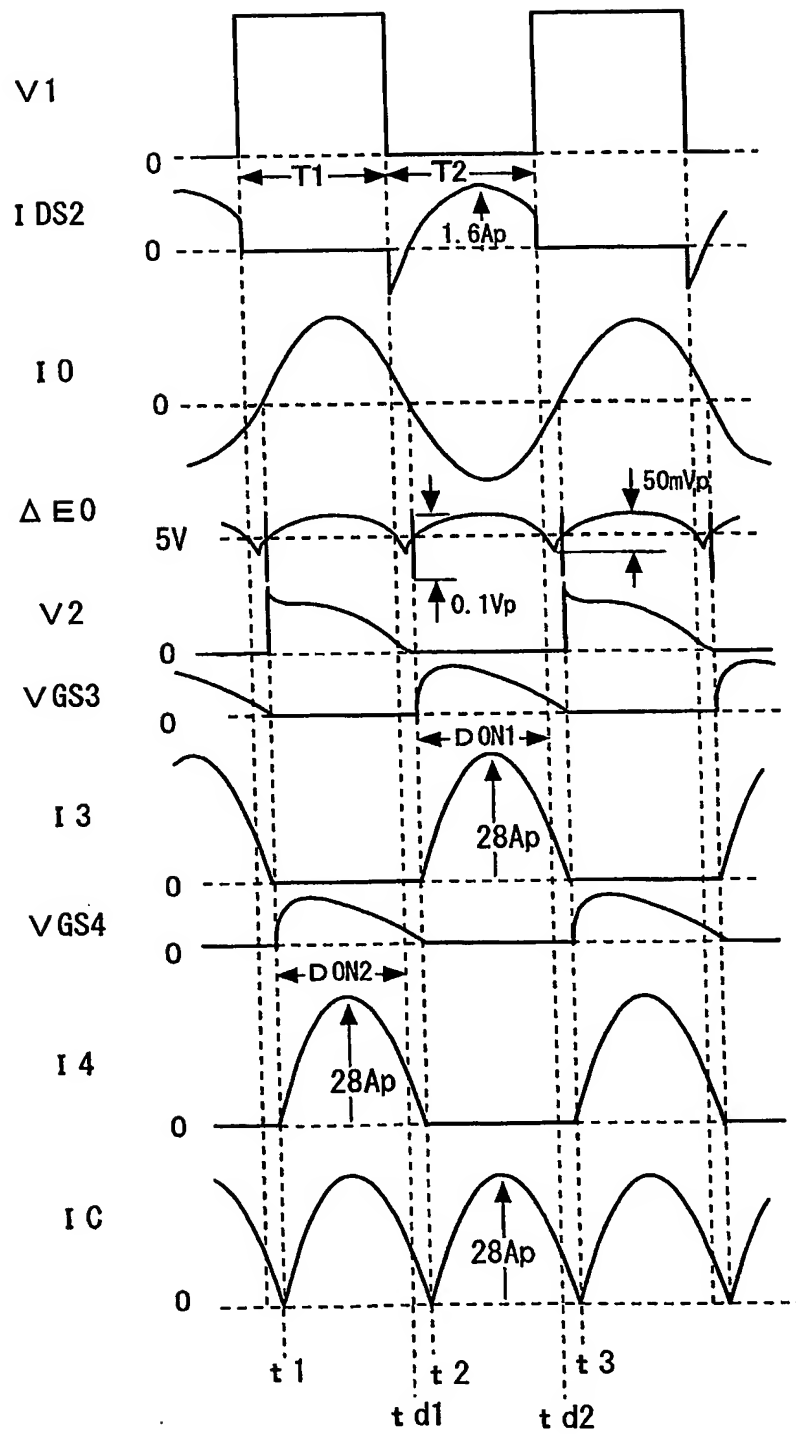




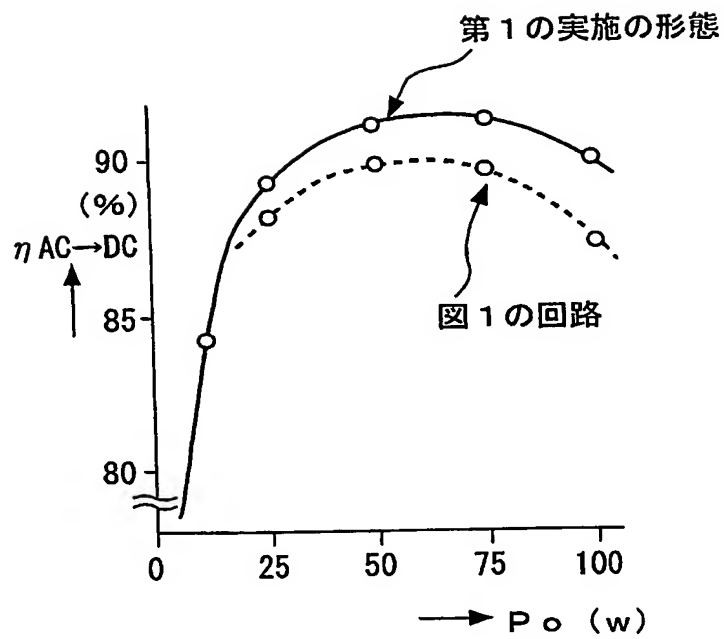
【図8】



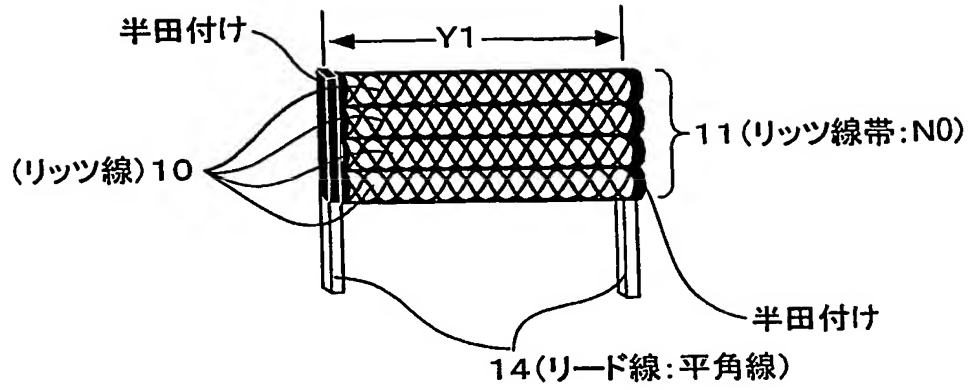
【図9】



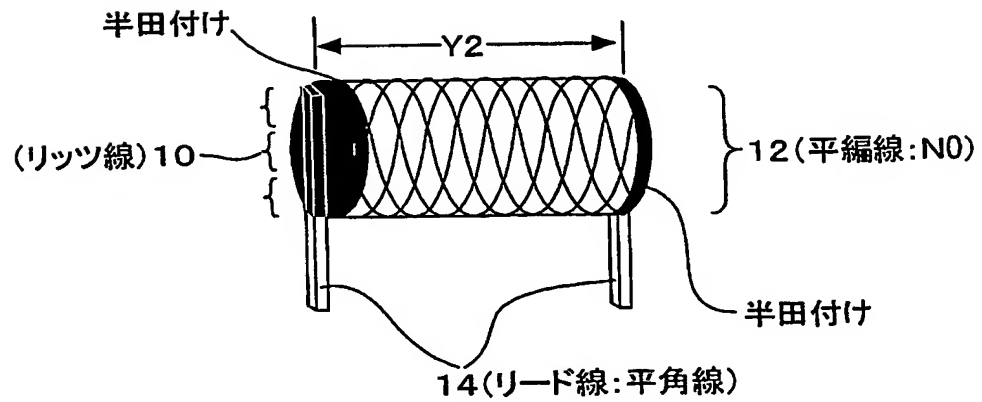
【図10】



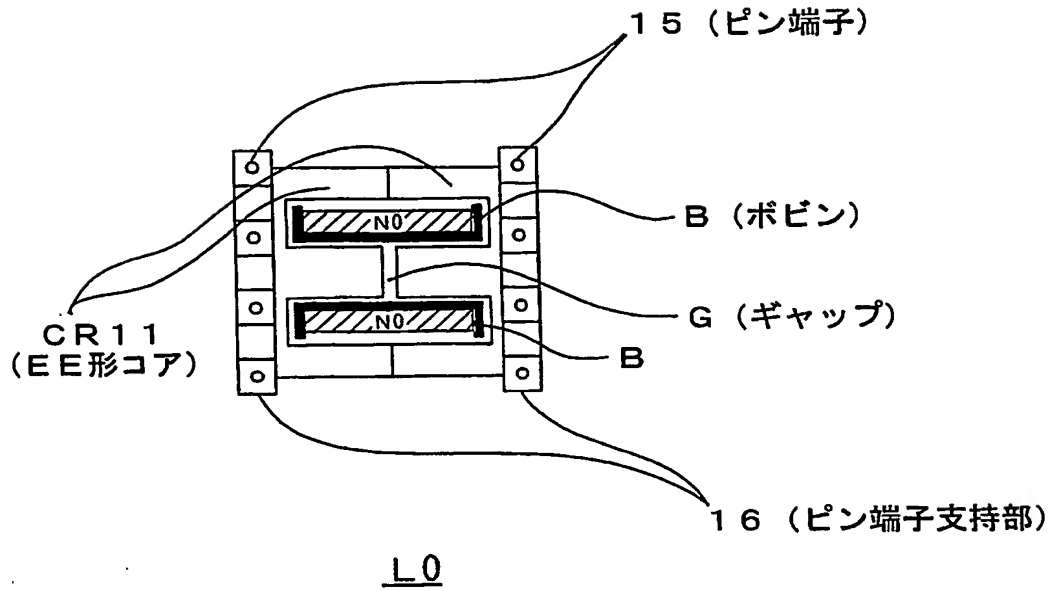
【図11】



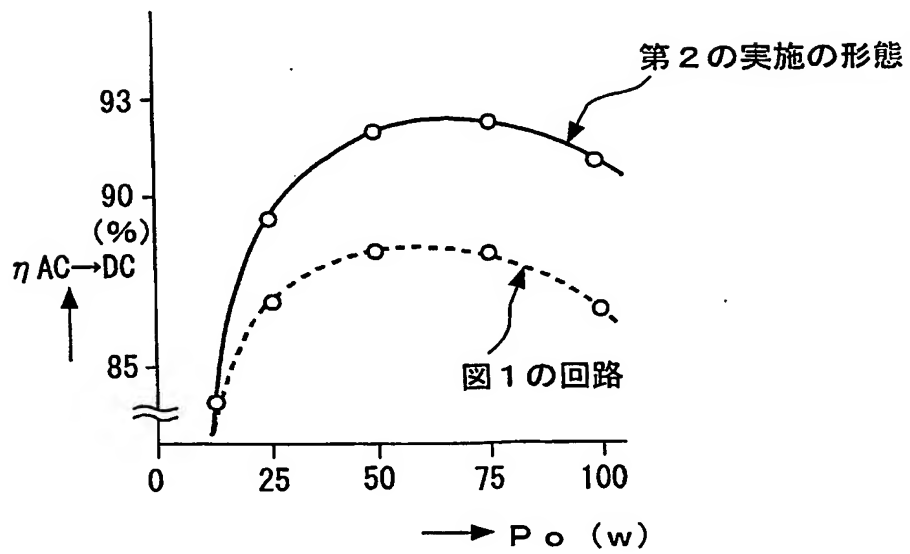
【図12】



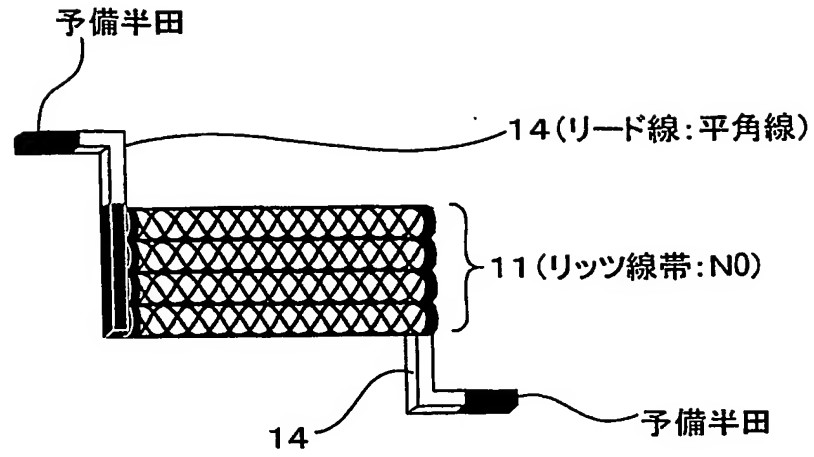
【図13】



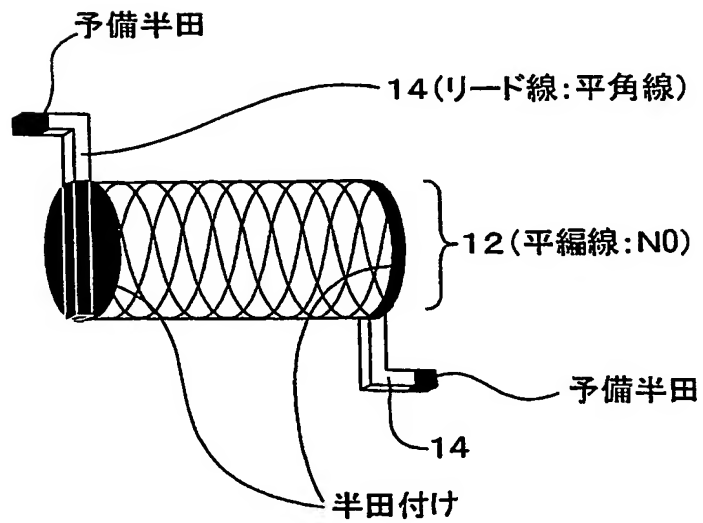
【図14】



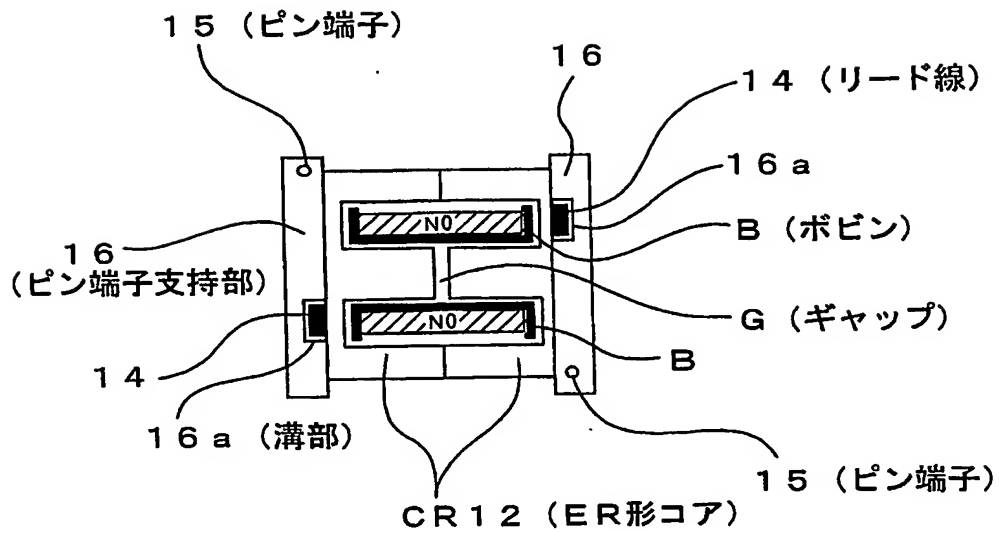
【図15】



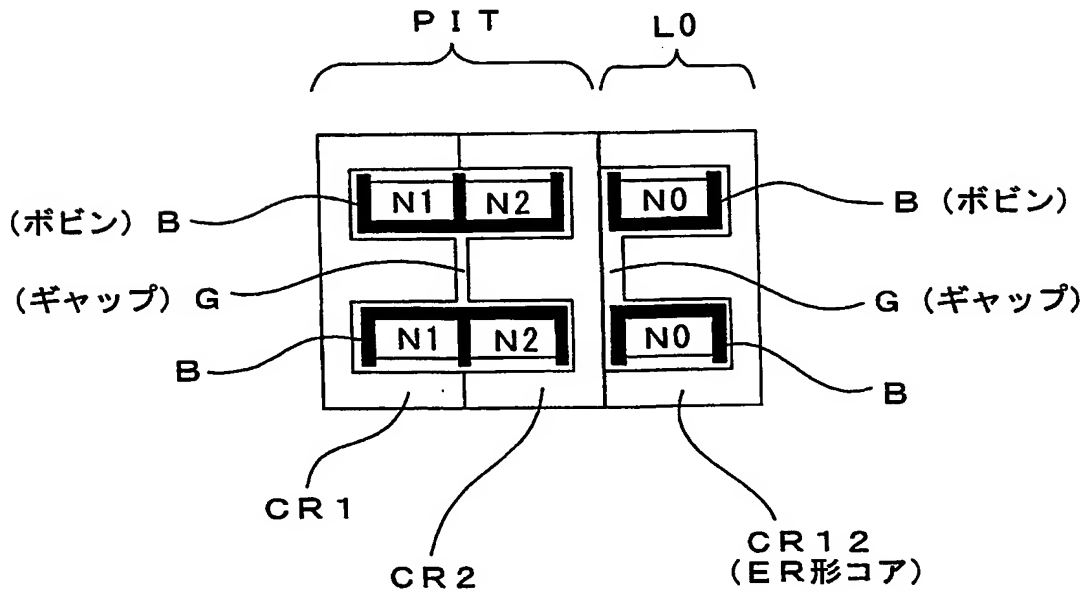
【図16】



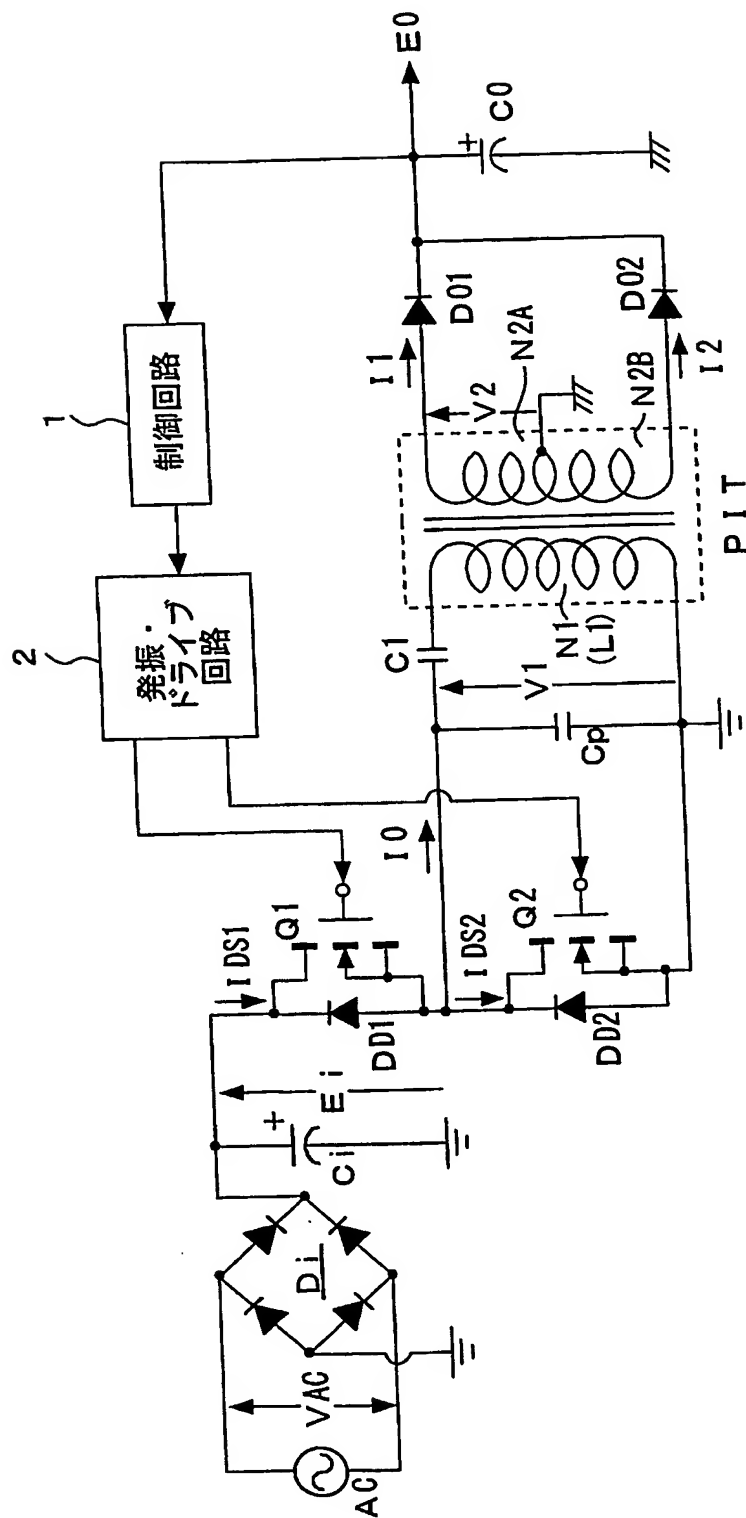
【図17】



【図18】

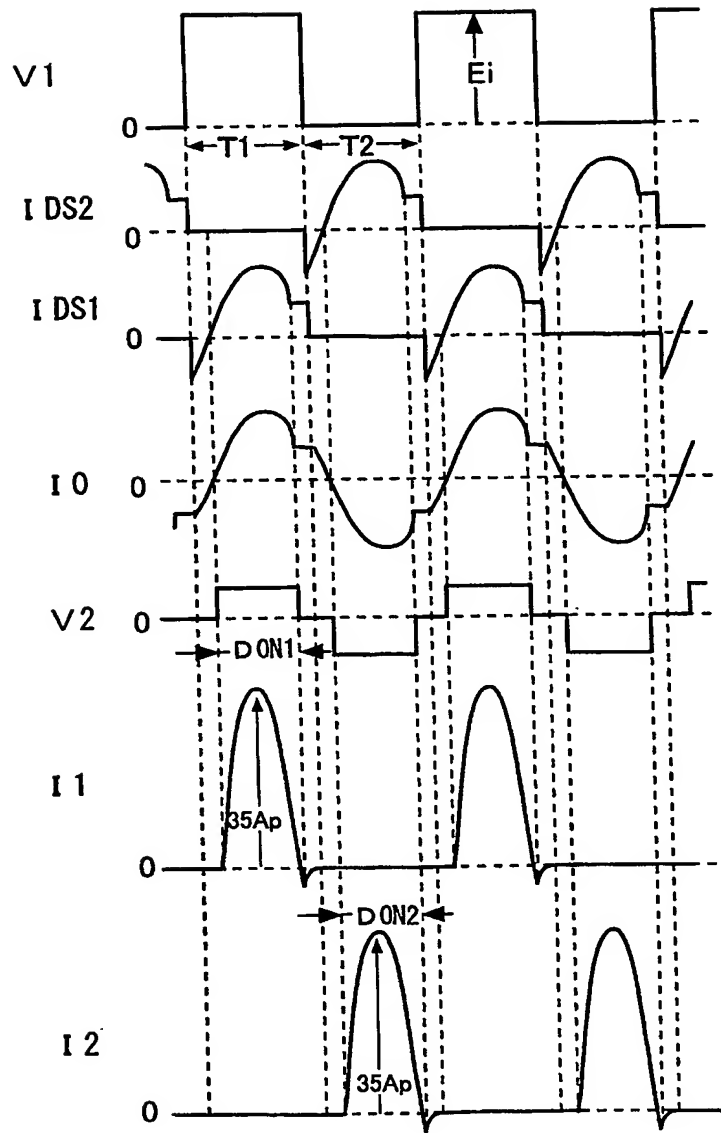


【図19】

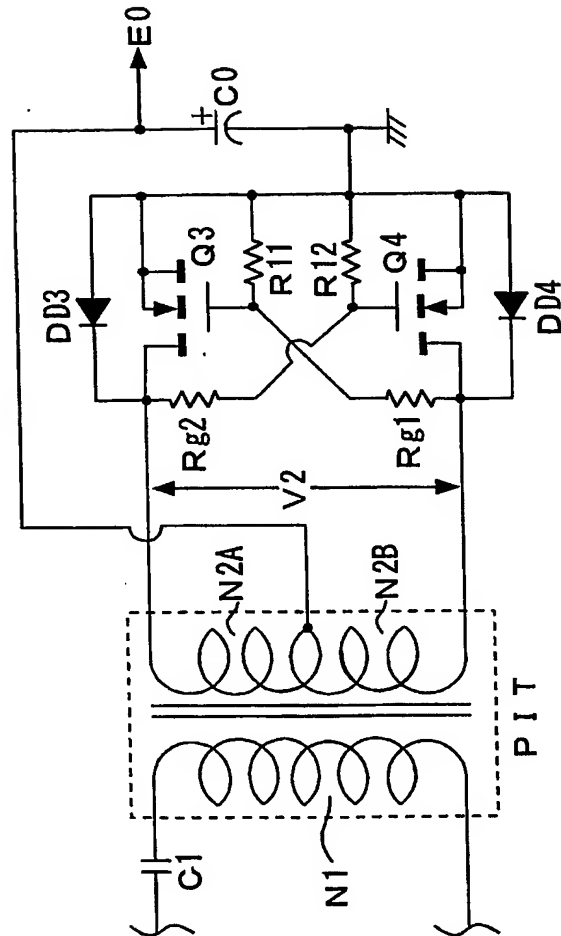




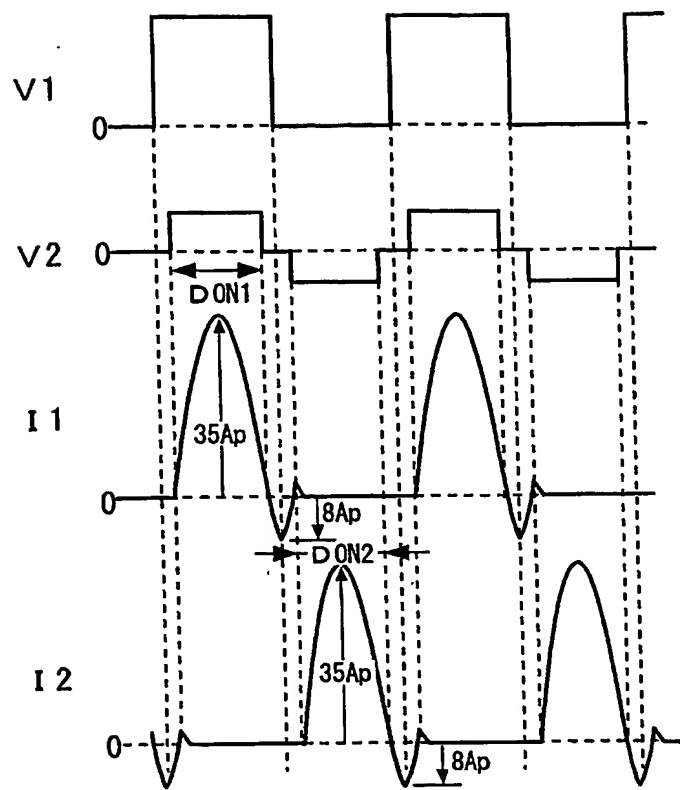
【図 20】



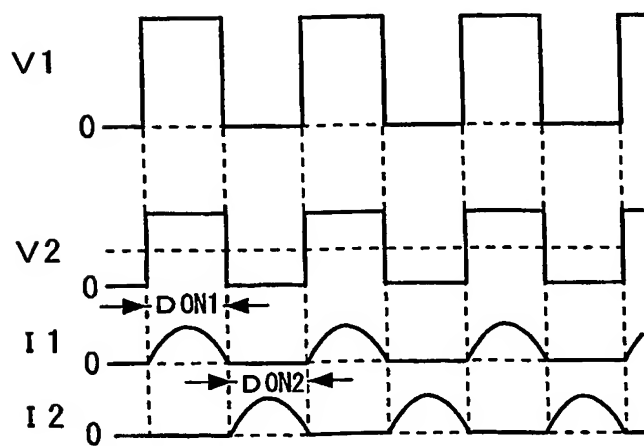
【図 21】



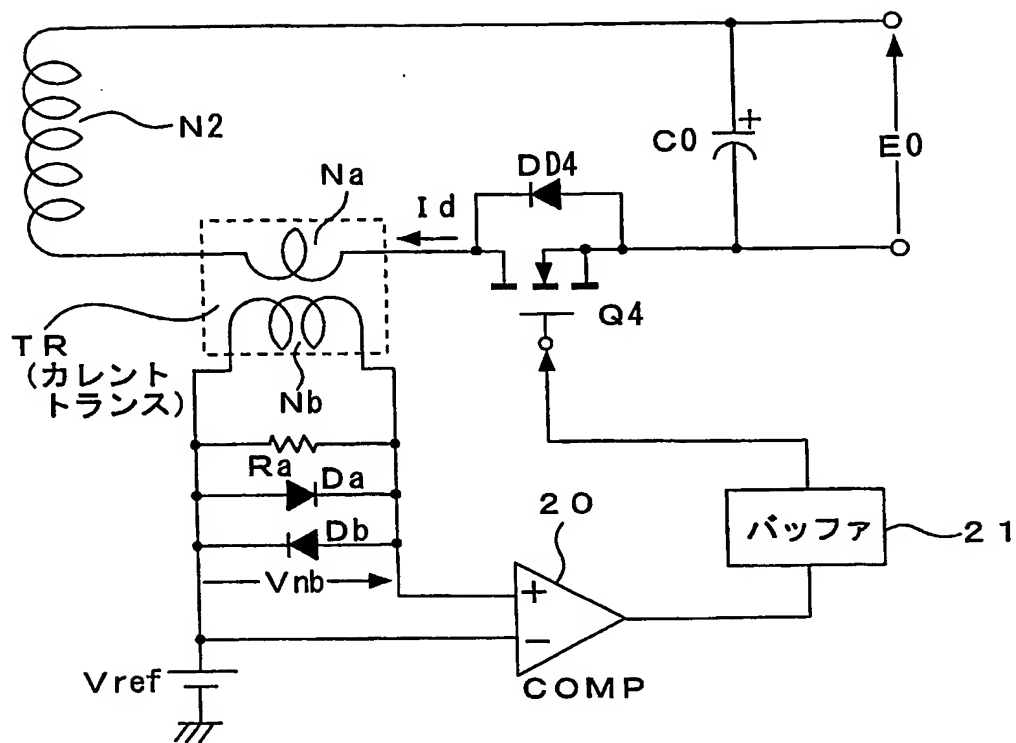
【図 22】



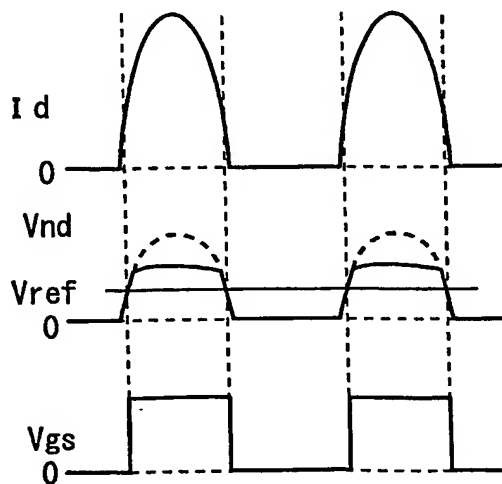
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立を図る。

【解決手段】 複合共振形コンバータの二次側に巻線電圧検出方式の同期整流回路を備える。そして、絶縁コンバータトランス P I T の結合係数の設定、二次巻線の 1 ターン (T) あたりの誘起電圧レベルの設定、及び上記二次巻線のセンタータップと二次側平滑コンデンサとの間に挿入したチョークコイルのインダクタンスの設定により、絶縁コンバータトランス P I T の磁束密度を一定以下に設定し、重負荷の条件でも二次側整流電流を連続モードとする。さらに、上記チョークコイルに生じる逆起電力により整流電流に生じていた逆電流を抑圧し、無効電力のさらなる低減を図る。

【選択図】 図 7

認定・付加情報

|         |               |
|---------|---------------|
| 特許出願の番号 | 特願2003-328685 |
| 受付番号    | 50301555209   |
| 書類名     | 特許願           |
| 担当官     | 第三担当上席 0092   |
| 作成日     | 平成15年 9月26日   |

<認定情報・付加情報>

【特許出願人】

|          |                   |
|----------|-------------------|
| 【識別番号】   | 000002185         |
| 【住所又は居所】 | 東京都品川区北品川6丁目7番35号 |
| 【氏名又は名称】 | ソニー株式会社           |

【代理人】

|          |                                  |
|----------|----------------------------------|
| 【識別番号】   | 100114122                        |
| 【住所又は居所】 | 東京都中央区新川1丁目27番8号 新川大原ビル6階 脇特許事務所 |
| 【氏名又は名称】 | 鈴木 伸夫                            |

【代理人】

|          |                           |
|----------|---------------------------|
| 【識別番号】   | 100086841                 |
| 【住所又は居所】 | 東京都中央区新川1丁目27番8号 新川大原ビル6階 |
| 【氏名又は名称】 | 脇 篤夫                      |

特願 2 0 0 3 - 3 2 8 6 8 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

|          |                          |
|----------|--------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 3 0 日      |
| [変更理由]   | 新規登録                     |
| 住 所      | 東京都品川区北品川 6 丁目 7 番 3 5 号 |
| 氏 名      | ソニー株式会社                  |

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**